

08-07-01

A


Attorney Docket No. 15162/03880

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re

U.S. application of: Kenji TAKADA and Yoshio HAGIHARA
For: SOLID-STATE IMAGE SENSING DEVICE
U.S. Serial No.: To Be Assigned
Filed: Concurrently
Group Art Unit: To Be Assigned
Examiner: To Be Assigned

BOX PATENT APPLICATION
Assistant Director
for Patents
Washington, D.C. 20231

EXPRESS MAIL MAILING LABEL NO.: EL 794556540 US DATE OF DEPOSIT: AUGUST 6, 2001 I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the dated indicated above and is addressed to BOX PATENT APPLICATION, Assistant Director for Patents, Washington, DC 20231. DERRICK T. GORDON Name of Person Mailing Paper or Fee  Signature August 6, 2001 Date of Signature
--

Dear Sir:

CERTIFIED COPY OF PRIORITY DOCUMENT

Submitted herewith is a certified copy of Japanese
Patent Application No. 2000-264059, filed August 31, 2000.

Priority benefit under 35 U.S.C. § 119/365 for the
Japanese patent application is claimed for the above-
identified United States patent application.

Attorney Docket No. 15162/03880

Respectfully submitted,

A handwritten signature in dark ink, reading "James W. Williams", is written over a horizontal line.

James W. Williams
Registration No. 20,047
Attorney for Applicants

JWW:pm

SIDLEY AUSTIN BROWN & WOOD
717 North Harwood
Suite 3400
Dallas, Texas 75201-6507
(214) 981-3328 (direct)
(214) 981-3300 (main)
(214) 981-3400 (facsimile)

August 6, 2001

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月31日

出 願 番 号

Application Number:

特願2000-264059

出 願 人

Applicant(s):

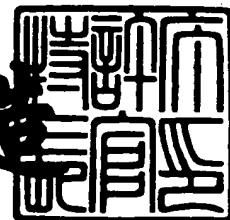
ミノルタ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3050611

【書類名】 特許願

【整理番号】 TL03853

【提出日】 平成12年 8月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明の名称】 固体撮像装置

【請求項の数】 34

【発明者】

【住所又は居所】 大阪府中央区安土町二丁目3番13号 大阪国際ビル
ミノルタ株式会社内

【氏名】 高田 謙二

【発明者】

【住所又は居所】 大阪府中央区安土町二丁目3番13号 大阪国際ビル
ミノルタ株式会社内

【氏名】 萩原 義雄

【特許出願人】

【識別番号】 000006079

【氏名又は名称】 ミノルタ株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【選任した代理人】

【識別番号】 100111811

【弁理士】

【氏名又は名称】 山田 茂樹

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716119

【包括委任状番号】 0000030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射光量に応じた電気信号を発生する感光素子と、
該感光素子の一方の電極に、第 1 電極及び制御電極が接続されたトランジスタと、

該トランジスタの第 2 電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、

該リセット手段は、感光素子への入射光量が所定値まではトランジスタのサブスレッシュホールド領域での動作を禁止するように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項 2】 入射光量に応じた電気信号を発生する感光素子と、
該感光素子の一方の電極に、第 1 電極及び制御電極が接続されたトランジスタと、

該トランジスタの第 2 電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、

該リセット手段は、感光素子への入射光量が所定値以上になったときにトランジスタがサブスレッシュホールド領域で動作するように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項 3】 入射光量に応じた電気信号を発生する感光素子と、
該感光素子の一方の電極に、第 1 電極及び制御電極が接続されたトランジスタと、

該トランジスタの第 2 電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、

該リセット手段は、感光素子への入射光量が所定値まではトランジスタが不動作状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッシュホールド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項 4】 入射光量に応じた電気信号を発生する感光素子と、

該感光素子の一方の電極に、第 1 電極及び制御電極が接続されたトランジスタと、

該トランジスタの第 2 電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、

該リセット手段は、感光素子への入射光量が所定値まではトランジスタが不動作状態となることにより、感光素子への入射光量に対して線形的に変化する出力が制御電極に現れるとともに、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッシュホールド領域で動作を行うことにより、感光素子への入射光量に対して対数的に変化する出力が制御電極に現れるように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項 5】 入射した光量に応じた電気信号を発生する感光素子を有する複数の画素を備えた固体撮像装置において、

前記各画素が、第 1 電極と制御電極とが前記感光素子の一方の電極に接続されるトランジスタを有し、

前記各トランジスタの第 2 電極に前記パルス信号を与えることによって、前記各トランジスタをリセットするリセット手段を備え、

該リセット手段は、前記感光素子への入射光量が所定値までは前記トランジスタが不動作状態となることにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して線形的に変化する出力が現れるとともに、前記感光素子への入射光量が所定値以上になったときは前記トランジスタがサブスレッシュホールド領域で動作を行うことにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して対数的に変化する出力が現れることを特徴とする固体撮像装置。

【請求項 6】 前記各画素が、前記トランジスタの制御電極からの出力を増幅する増幅回路を有することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 7】 前記各画素が、

前記トランジスタの制御電極に現れる電圧をサンプリングする第 1 サンプリング回路と、

該第 1 サンプリング回路に一端が接続された第 1 スイッチと、

該第 1 スイッチの他端に接続されるとともに、該第 1 スイッチが ON となったときに、前記第 1 サンプリング回路でサンプリングされた電圧をサンプリングする第 2 サンプリング回路と、

を有することを特徴とする請求項 5 又は請求項 6 に記載の固体撮像装置。

【請求項 8】 前記各画素が、前記トランジスタの制御電極からの出力を積分する積分回路を有することを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 9】 前記各画素が、

前記積分回路に一端が接続された第 1 スイッチと、

該第 1 スイッチの他端に接続されるとともに、該第 1 スイッチが ON となったときに、前記積分回路からの出力をサンプリングするサンプリング回路と、

を有することを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 10】 前記各画素が、前記感光素子と前記トランジスタの第 1 電極との間に接続された第 2 スイッチを有し、

リセット時に前記第 2 スイッチを OFF とするとともに、撮像時に前記第 2 スイッチを ON とすることによって、全輝度範囲において前記トランジスタがサブスレッシュホールド領域で動作を行い、前記トランジスタの制御電極に前記感光素子への入射光量に対して対数的に変化する出力が現れることを特徴とする請求項 5 ～請求項 9 のいずれかに記載の固体撮像装置。

【請求項 11】 入射光量に応じた電気信号を発生する感光素子と、

該感光素子の一方の電極に第 2 の電極が接続されたトランジスタと、

該トランジスタをリセットするリセット手段と、を備え、

該リセット手段は、前記トランジスタの制御電極に所定の第 2 パルス信号を与えるとともに、第 1 電極に所定の第 1 パルス信号を与えることにより、感光素子への入射光量が所定値まではトランジスタが不作動状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッシュホールド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項 12】 入射光量に応じた電気信号を発生する感光素子と、

該感光素子の一方の電極に第 2 の電極が接続されたトランジスタと、

該トランジスタをリセットするリセット手段と、を備え、

該リセット手段は、前記トランジスタの少なくとも制御電極に、トランジスタの第 2 電極の電位がトランジスタの閾値を反映し得る範囲内の所定のパルス電圧を与えることにより、感光素子への入射光量が所定値まではトランジスタが不動作状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッシュولد領域で動作を行うように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項 1 3】 入射した光量に応じた電気信号を発生する感光素子を有する複数の画素を備えた固体撮像装置において、

前記各画素が、

第 2 電極が前記感光素子の一方の電極に接続され、リセット時に第 1 電圧値の第 1 パルス信号が第 1 電極に与えられるとともに第 2 電圧値の第 2 パルス信号が制御電極に与えられるトランジスタを有し、

前記トランジスタの第 1 電極に前記第 1 パルス信号を与えると同時に、前記トランジスタの制御電極に前記第 2 パルス信号を与えることによって、前記トランジスタを通して前記トランジスタの第 2 電極の電圧がリセットされるとともに、

前記感光素子への入射光量が所定値までは前記トランジスタが不動作状態となることにより、前記トランジスタの第 2 電極に前記感光素子への入射光量に対して線形的に変化する出力が現れるとともに、前記感光素子への入射光量が所定値以上になったときは前記トランジスタがサブスレッシュولد領域で動作を行うことにより、前記トランジスタの第 2 電極に前記感光素子への入射光量に対して対数的に変化する出力が現れることを特徴とする固体撮像装置。

【請求項 1 4】 前記各画素が、前記トランジスタの第 2 電極からの出力を増幅する増幅回路を有することを特徴とする請求項 1 3 に記載の固体撮像装置。

【請求項 1 5】 前記各画素が、前記トランジスタの第 2 電極からの出力を積分する積分回路を有することを特徴とする請求項 1 3 に記載の固体撮像装置。

【請求項 1 6】 複数の画素を有する固体撮像装置において、
前記各画素が、

第 1 電極に直流電圧が印加されたフォトダイオードと、

該フォトダイオードの第 2 電極に第 1 電極及びゲート電極が接続されるととも

に、第 2 電極に所定の電圧値のパルス信号が与えられる第 1 MOS トランジスタと、を有し、

前記第 1 MOS トランジスタの第 2 電極に前記パルス信号が与えられることによって、前記第 1 MOS トランジスタを通して前記第 1 MOS トランジスタのゲート電極の電圧がリセットされるとともに、

撮像時において、前記ダイオードに入射される光量が所定の明るさまでは前記第 1 MOS トランジスタが不動作状態となり、前記第 1 MOS トランジスタのゲート電極に前記ダイオードに入射される光量に対して線形的に変化する出力が現れるとともに、前記ダイオードに入射される光量が所定の明るさを超えたときは前記第 1 MOS トランジスタがサブスレッショルド領域で動作を行い、前記第 1 MOS トランジスタのゲート電極に前記ダイオードに入射される光量に対して対数的に変化する出力が現れることを特徴とする固体撮像装置。

【請求項 17】 前記各画素が、前記第 1 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続されるとともに、第 2 電極より出力信号を出力する第 2 MOS トランジスタを有することを特徴とする請求項 16 に記載の固体撮像装置。

【請求項 18】 前記各画素が、前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを有することを特徴とする請求項 17 に記載の固体撮像装置。

【請求項 19】 前記各画素が、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、他端に直流電圧が印加された第 1 キャパシタを有することを特徴とする請求項 17 に記載の固体撮像装置。

【請求項 20】 前記各画素が、前記第 2 MOS トランジスタの第 2 電極にゲート電極が接続されるとともに、第 1 電極に直流電圧が印加された第 4 MOS トランジスタを有することを特徴とする請求項 19 に記載の固体撮像装置。

【請求項 21】 前記各画素が、前記第 4 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを有することを特徴とする請求項 2

0 に記載の固体撮像装置。

【請求項 2 2】 前記各画素が、前記第 1 MOS トランジスタの第 1 電極及びゲート電極に一端が接続されるとともに、他端に直流電圧が印加された第 1 キャパシタを有することを特徴とする請求項 1 6 に記載の固体撮像装置。

【請求項 2 3】 前記各画素が、
前記第 1 キャパシタの一端に第 1 電極が接続された第 5 MOS トランジスタと

前記第 5 MOS トランジスタの第 2 電極に一端が接続されるとともに、他端に直流電圧が印加された第 2 キャパシタと、

前記第 2 キャパシタの一端に第 1 電極が接続されるとともに、第 2 電極に直流電圧が印加され、前記第 2 キャパシタをリセットする第 6 MOS トランジスタと、を有し、

前記各画素が同時に撮像動作を行うことによって、前記フォトダイオードに入射される光量に応じた電圧が前記第 1 キャパシタの一端に現れるとともに、前記各画素の前記第 5 MOS トランジスタを同時に ON することによって、前記第 1 キャパシタの一端に現れた電圧を前記第 2 キャパシタでサンプリングすることを特徴とする請求項 1 9 又は請求項 2 2 に記載の固体撮像装置。

【請求項 2 4】 前記各画素が、前記第 2 キャパシタの一端にゲート電極が接続されるとともに、第 1 電極に直流電圧が印加された第 4 MOS トランジスタを有することを特徴とする請求項 2 3 に記載の固体撮像装置。

【請求項 2 5】 前記各画素が、前記第 4 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを有することを特徴とする請求項 2 4 に記載の固体撮像装置。

【請求項 2 6】 前記各画素が、前記フォトダイオードの第 2 電極に第 1 電極が接続されるとともに、前記第 1 MOS トランジスタの第 1 電極及びゲート電極に第 2 電極が接続された第 7 MOS トランジスタを有し、

リセット時に前記第 7 MOS トランジスタを OFF とするとともに、撮像時に前記第 7 MOS トランジスタを ON とすることによって、全輝度範囲において

前記第 1 MOS トランジスタがサブスレッショルド領域で動作を行い、前記第 1 MOS トランジスタのゲート電極に前記ダイオードに入射される光量に対して対数変換された電圧が現れることを特徴とする請求項 1 6 ～請求項 2 5 のいずれかに記載の固体撮像装置。

【請求項 2 7】 複数の画素を有する固体撮像装置において、
前記各画素が、

第 2 電極に直流電圧が印加されたフォトダイオードと、

該フォトダイオードの第 1 電極に第 2 電極が接続され、第 1 電極に第 1 電圧値の第 1 パルス信号が与えられるとともに、ゲート電極に第 2 電圧値の第 2 パルス信号が与えられる第 1 MOS トランジスタと、を有し、

前記第 1 MOS トランジスタの第 1 電極に前記第 1 パルス信号が与えられた後、前記第 1 MOS トランジスタのゲート電極に前記第 2 パルス信号が与えられることによって、前記第 1 MOS トランジスタを通して前記第 1 MOS トランジスタの第 2 電極の電圧がリセットされるとともに、

撮像時において、前記ダイオードに入射される光量が所定の明るさまでは前記第 1 MOS トランジスタが不動作状態となり、前記第 1 MOS トランジスタの第 2 電極に前記ダイオードに入射される光量に対して線形的に変化する出力が現れるとともに、前記ダイオードに入射される光量が所定の明るさを超えたときは前記第 1 MOS トランジスタがサブスレッショルド領域で動作を行い、前記第 1 MOS トランジスタの第 2 電極に前記ダイオードに入射される光量に対して対数的に変化する出力が現れることを特徴とする固体撮像装置。

【請求項 2 8】 前記各画素が、前記第 1 MOS トランジスタの第 2 電極にゲート電極が接続されるとともに、第 2 電極より出力信号を出力する第 2 MOS トランジスタを有することを特徴とする請求項 2 7 に記載の固体撮像装置。

【請求項 2 9】 前記各画素が、前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを有することを特徴とする請求項 2 8 に記載の固体撮像装置。

【請求項 3 0】 前記各画素が、前記第 2 MOS トランジスタの第 2 電極に一

端が接続されるとともに、他端に直流電圧が印加された第 1 キャパシタを有することを特徴とする請求項 28 に記載の固体撮像装置。

【請求項 31】 前記各画素が、前記第 2 MOS トランジスタの第 2 電極にゲート電極が接続されるとともに、第 1 電極に直流電圧が印加された第 4 MOS トランジスタを有することを特徴とする請求項 30 に記載の固体撮像装置。

【請求項 32】 前記各画素が、前記第 4 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを有することを特徴とする請求項 31 に記載の固体撮像装置。

【請求項 33】 前記第 2 MOS トランジスタが、前記第 1 MOS トランジスタと逆極性の MOS トランジスタであることを特徴とする請求項 31 又は請求項 32 に記載の固体撮像装置。

【請求項 34】 前記画素がマトリクス状に配されることを特徴とする請求項 5 ～請求項 10 又は請求項 13 ～請求項 33 のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入射光量に対して線形的に変化する電気信号を出力する第 1 状態と入射光量に対して自然対数的に変化する電気信号を出力する第 2 状態との間で切換可能な固体撮像装置に関する。

【0002】

【従来の技術】

従来より使用されている固体撮像装置には、光電変換素子で発生した光電荷を読み出す手段によって CCD 型と MOS 型に大きく分けられる。CCD 型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、又、MOS 型はフォトダイオードの p n 接合容量に蓄積した電荷を MOS トランジスタを通して読み出すようになっている。しかしながら、このような従来の固体撮像装置は、発生した光電荷の電荷量に比例した出力が出力されるため、ダイナミックレンジが狭いという欠点がある。

【 0 0 0 3 】

ダイナミックレンジを広くするために、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れうる状態にバイアスするバイアス手段とが備えられることによって、入射光量に対して自然対数的に変換された電気信号を出力することができる固体撮像装置も提案されている。このような固体撮像装置は、広いダイナミックレンジを有しているものの、低輝度の場合の特性やS/N比などが十分でないという問題があった。

【 0 0 0 4 】

一方、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、を有するとともに、光電流に対して線形的に変換された出力を出力する第1状態と、光電流に対して自然対数的に変換された出力を出力する第2状態と、切り換えることができる光センサ回路も提案されている（特開平10-90058号公報参照）。

【 0 0 0 5 】

【発明が解決しようとする課題】

特開平10-90058号公報で提示されている線形変換動作と対数変換動作の切換可能な光センサ回路は、MOSトランジスタのゲート電圧をドレイン電圧より十分高くしてMOSトランジスタのドレイン-ソース間のインピーダンスを低抵抗とすることによって、フォトダイオードとコンデンサとの接続ノードをリセットする。これにより、ソースの電位はドレインの電位とほぼ等しくなる。そのため、このような回路を複数設けた場合、全ての回路について、フォトダイオードとコンデンサとの接続ノードの電圧が同一となるようにリセットされることとなり、各回路からの出力にMOSトランジスタの閾値電圧の差異による各回路の感度バラツキが反映されず、線形出力動作から対数出力動作に変わる変化点が各画素毎に異なるという不具合を生じていた。

【 0 0 0 6 】

このような問題を鑑みて、本発明は、光電変換部に入射される入射光量に応じて、自動的に対数変換動作及び線形変換動作を切り換えることができる新規且つ

有効な固体撮像装置を提供することを目的とする。又、本発明は、複数の画素を有し、線形変換動作から対数変換動作に切り替わる変化点が全画素でほぼ等しい固体撮像装置を提供することを他の目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

上記目的を達成するために、請求項 1 に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に、第 1 電極及び制御電極が接続されたトランジスタと、該トランジスタの第 2 電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、該リセット手段は、感光素子への入射光量が所定値まではトランジスタのサブスレッシュホールド領域での動作を禁止するように、前記トランジスタをリセットすることを特徴とする。

【 0 0 0 8 】

又、請求項 2 に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に、第 1 電極及び制御電極が接続されたトランジスタと、該トランジスタの第 2 電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、該リセット手段は、感光素子への入射光量が所定値以上になったときにトランジスタがサブスレッシュホールド領域で動作するように、前記トランジスタをリセットすることを特徴とする。

【 0 0 0 9 】

又、請求項 3 に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に、第 1 電極及び制御電極が接続されたトランジスタと、該トランジスタの第 2 電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、該リセット手段は、感光素子への入射光量が所定値まではトランジスタが不動作状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッシュホールド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする。

【 0 0 1 0 】

又、請求項 4 に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に、第 1 電極及び制御電極が接続されたトランジスタと、該トランジスタの第 2 電極に所定のパルス信号を与えることにより、前記トランジスタをリセットするリセット手段と、を備え、該リセット手段は、感光素子への入射光量が所定値まではトランジスタが不作動状態となることにより、感光素子への入射光量に対して線形的に変化する出力が制御電極に現れるとともに、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッシュヨルド領域で動作を行うことにより、感光素子への入射光量に対して対数的に変化する出力が制御電極に現れるように、前記トランジスタをリセットすることを特徴とする。

【 0 0 1 1 】

又、請求項 5 に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子を有する複数の画素を備えた固体撮像装置において、前記各画素が、第 1 電極と制御電極とが前記感光素子の一方の電極に接続されるトランジスタを有し、前記各トランジスタの第 2 電極に前記パルス信号を与えることによって、前記各トランジスタをリセットするリセット手段を備え、該リセット手段は、前記感光素子への入射光量が所定値までは前記トランジスタが不作動状態となることにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して線形的に変化する出力が現れるとともに、前記感光素子への入射光量が所定値以上になったときは前記トランジスタがサブスレッシュヨルド領域で動作を行うことにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して対数的に変化する出力が現れることを特徴とする。

【 0 0 1 2 】

このような固体撮像装置は、リセット時に、トランジスタの第 2 電極にパルス信号を与えることによって、トランジスタの制御電極に蓄積された電荷と逆極性の電荷を流し込むことによって、トランジスタの制御電極の電圧をリセットする。このとき、例えば、トランジスタを N チャンネルの MOS トランジスタとしたとき、撮像動作時にトランジスタの第 2 電極に与える電圧より低い電圧のパルス信号を与えることによって、トランジスタのゲート電極を第 2 電極より低い電圧に

リセットすることができる。又、トランジスタを通じてリセットを行うため、トランジスタの閾値に応じた電圧にリセットされ、結果的に、各画素において、その撮像時における光電変換特性の切換が、同一の輝度で行われる。

【 0 0 1 3 】

又、このような固体撮像装置において、請求項 6 に記載するように、前記各画素に、前記トランジスタの制御電極からの出力を増幅する増幅回路を設けて、出力信号を増幅するようにしても構わない。

【 0 0 1 4 】

又、請求項 7 に記載するように、前記各画素に、前記トランジスタの制御電極に現れる電圧をサンプリングする第 1 サンプリング回路と、該第 1 サンプリング回路に一端が接続された第 1 スイッチと、該第 1 スイッチの他端に接続されるとともに、該第 1 スイッチが ON となったときに、前記第 1 サンプリング回路でサンプリングされた電圧をサンプリングする第 2 サンプリング回路と、を設けて、同時に撮像して第 1 サンプリング回路でサンプリングされた出力信号を、第 1 スイッチを同時に ON して第 2 サンプリング回路にサンプリングし、各画素毎に出力するようにしても構わない。

【 0 0 1 5 】

又、請求項 8 に記載するように、前記各画素に、前記トランジスタの制御電極に現れる電圧を積分する積分回路を設けて、光源の変動成分や高周波のノイズを吸収する SN 比の良好な出力信号が出力されるようにしても構わない。更に、この請求項 8 に記載の固体撮像装置において、請求項 9 に記載するように、前記各画素に、前記積分回路に一端が接続された第 1 スイッチと、該第 1 スイッチの他端に接続されるとともに、該第 1 スイッチが ON となったときに、前記積分回路から出力される電圧をサンプリングするサンプリング回路と、を設けて、同時に撮像して積分回路より出力される出力信号を、第 1 スイッチを同時に ON して第 2 サンプリング回路にサンプリングし、各画素毎に出力するようにしても構わない。

【 0 0 1 6 】

請求項 1 0 に記載の固体撮像装置は、請求項 5 ～請求項 9 のいずれかに記載の

固体撮像装置において、前記各画素が、前記感光素子と前記トランジスタの第1電極との間に接続された第2スイッチを有し、リセット時に前記第2スイッチをOFFとするとともに、撮像時に前記第2スイッチをONとすることによって、全輝度範囲において前記トランジスタがサブスレッショルド領域で動作を行い、前記トランジスタの制御電極に前記感光素子に入射される光量に対して対数変換された電圧が現れることを特徴とする。

【0017】

このような固体撮像装置は、リセット時に、第2スイッチをOFFすることによって、感光素子より発生する光電流の影響なくトランジスタのポテンシャル状態をリセットすることができるため、撮像時には、常に、入射光量に対して対数変換された電気信号を出力することができる。

【0018】

請求項11に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に第2の電極が接続されたトランジスタと、該トランジスタをリセットするリセット手段と、を備え、該リセット手段は、前記トランジスタの制御電極に所定の第2パルス信号を与えると同時に、第1電極に所定の第1パルス信号を与えることにより、感光素子への入射光量が所定値まではトランジスタが不作動状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする。

【0019】

又、請求項12に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に第2電極が接続されたトランジスタと、該トランジスタをリセットするリセット手段と、を備え、該リセット手段は、前記トランジスタの少なくとも制御電極に、トランジスタの第2電極の電位がトランジスタの閾値を反映し得る範囲内の所定のパルス電圧を与えることにより、感光素子への入射光量が所定値まではトランジスタが不作動状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする。

【 0 0 2 0 】

又、請求項 1 3 に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子を有する複数の画素を備えた固体撮像装置において、前記各画素が、第 2 電極が前記感光素子の一方の電極に接続され、リセット時に第 1 電圧値の第 1 パルス信号が第 1 電極に与えられるとともに第 2 電圧値の第 2 パルス信号が制御電極に与えられるトランジスタを有し、前記トランジスタの第 1 電極に前記第 1 パルス信号を与えると同時に、前記トランジスタの制御電極に前記第 2 パルス信号を与えることによって、前記トランジスタを通して前記トランジスタの第 2 電極の電圧がリセットされるとともに、前記感光素子への入射光量が所定値までは前記トランジスタが不作動状態となることにより、前記トランジスタの第 2 電極に前記感光素子への入射光量に対して線形的に変化する出力が現れるとともに、前記感光素子への入射光量が所定値以上になったときは前記トランジスタがサブスレッショルド領域で動作を行うことにより、前記トランジスタの第 2 電極に前記感光素子への入射光量に対して対数的に変化する出力が現れることを特徴とする。

【 0 0 2 1 】

このような固体撮像装置は、リセット時に、トランジスタの第 1 電極に第 1 パルス信号を与えた後、制御電極に第 2 パルスを与えることによって、トランジスタの第 2 電極に蓄積された電荷と逆極性の電荷を流し込むことによって、トランジスタの第 2 電極の電圧をリセットする。このとき、トランジスタを N チャンネルの MOS トランジスタとした場合は、例えば、撮像動作時にトランジスタの第 1 電極に与える電圧より低い電圧のパルス信号を与えた後、撮像動作時にトランジスタの制御電極に与える電圧より高い電圧のパルス信号を与えることによって、トランジスタのゲート電極を第 2 電極より低い電圧にリセットすることができる。又、トランジスタを通じてリセットを行うため、トランジスタの閾値に応じた電圧にリセットされ、結果的に、各画素において、その撮像時における光電変換特性の切換が、同一の輝度で行われる。

【 0 0 2 2 】

又、このような固体撮像装置において、請求項 1 4 に記載するように、前記各

画素に、前記トランジスタの第 2 電極からの出力を増幅する増幅回路を設けて、出力信号を増幅するようにしても構わない。

【 0 0 2 3 】

又、請求項 1 5 に記載するように、前記各画素に、前記トランジスタの第 2 電極からの出力を積分する積分回路を設けて、光源の変動成分や高周波のノイズを吸収する SN 比の良好な出力信号が出力されるようにしても構わない。

【 0 0 2 4 】

請求項 1 6 に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、前記各画素が、第 1 電極に直流電圧が印加されたフォトダイオードと、該フォトダイオードの第 2 電極に第 1 電極及びゲート電極が接続されるとともに、第 2 電極に所定の電圧値のパルス信号が与えられる第 1 MOS トランジスタと、を有し、前記第 1 MOS トランジスタの第 2 電極に前記パルス信号が与えられることによって、前記第 1 MOS トランジスタを通して前記第 1 MOS トランジスタのゲート電極の電圧がリセットされるとともに、撮像時において、前記ダイオードに入射される光量が所定の明るさまでは前記第 1 MOS トランジスタが不動作状態となり、前記第 1 MOS トランジスタのゲート電極に前記ダイオードに入射される光量に対して線形的に変化する出力が現れるとともに、前記ダイオードに入射される光量が所定の明るさを超えたときは前記第 1 MOS トランジスタがサブスレッショルド領域で動作を行い、前記第 1 MOS トランジスタのゲート電極に前記ダイオードに入射される光量に対して対数的に変化する出力が現れることを特徴とする。

【 0 0 2 5 】

このような固体撮像装置において、請求項 1 7 に記載するように、前記各画素に、前記第 1 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続されるとともに、第 2 電極より出力信号を出力する第 2 MOS トランジスタを増幅用の MOS トランジスタとして設けても構わない。更に、請求項 1 8 に記載するように、前記各画素に、前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを、行選択用の MOS トランジスタとして設

けても構わない。

【 0 0 2 6 】

又、請求項 1 9 に記載するように、前記各画素に、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、他端に直流電圧が印加された第 1 キャパシタを設けて、光源の変動成分や高周波のノイズを吸収する S N 比の良好な出力信号が出力されるようにしても構わない。又、請求項 2 0 に記載するように、前記各画素に、前記第 2 MOS トランジスタの第 2 電極にゲート電極が接続されるとともに、第 1 電極に直流電圧が印加された第 4 MOS トランジスタを、増幅用の MOS トランジスタとして設けても構わない。更に、請求項 2 1 に記載するように、前記各画素に、前記第 4 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを、行選択用の MOS トランジスタとして設けても構わない。

【 0 0 2 7 】

又、請求項 2 2 に記載するように、前記各画素に、前記第 1 MOS トランジスタの第 1 電極及びゲート電極に一端が接続されるとともに、他端に直流電圧が印加された第 1 キャパシタを設けて、前記第 1 MOS トランジスタの第 1 電極及びゲート電極に現れた信号をサンプリングするようにしても構わない。

【 0 0 2 8 】

請求項 2 3 に記載の固体撮像装置は、請求項 1 9 又は請求項 2 2 に記載の固体撮像装置において、前記各画素が、前記第 1 キャパシタの一端に第 1 電極が接続された第 5 MOS トランジスタと、前記第 5 MOS トランジスタの第 2 電極に一端が接続されるとともに、他端に直流電圧が印加された第 2 キャパシタと、前記第 2 キャパシタの一端に第 1 電極が接続されるとともに、第 2 電極に直流電圧が印加され、前記第 2 キャパシタをリセットする第 6 MOS トランジスタと、を有し、前記各画素が同時に撮像動作を行うことによって、前記フォトダイオードに入射される光量に応じた電圧が前記第 1 キャパシタの一端に現れるとともに、前記各画素の前記第 5 MOS トランジスタを同時に ON することによって、前記第 1 キャパシタの一端に現れた電圧を前記第 2 キャパシタでサンプリングすること

を特徴とする。

【 0 0 2 9 】

このような固体撮像装置において、請求項 2 4 に記載するように、前記各画素に、前記第 2 キャパシタの一端にゲート電極が接続されるとともに、第 1 電極に直流電圧が印加された第 4 MOS トランジスタを、増幅用の MOS トランジスタとして設けても構わない。更に、請求項 2 5 に記載するように、前記各画素に、前記第 4 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを、行選択用の MOS トランジスタとして設けても構わない。

【 0 0 3 0 】

請求項 2 6 に記載の固体撮像装置は、請求項 1 6 ～請求項 2 5 のいずれかに記載の固体撮像装置において、前記各画素が、前記フォトダイオードの第 2 電極に第 1 電極が接続されるとともに、前記第 1 MOS トランジスタの第 1 電極及びゲート電極に第 2 電極が接続された第 7 MOS トランジスタを有し、リセット時に前記第 7 MOS トランジスタを OFF とするとともに、撮像時に前記第 7 MOS トランジスタを ON とすることによって、全輝度範囲において前記第 1 MOS トランジスタがサブスレッショルド領域で動作を行い、前記第 1 MOS トランジスタのゲート電極に前記ダイオードに入射される光量に対して対数変換された電圧が現れることを特徴とする。

【 0 0 3 1 】

請求項 2 7 に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、前記各画素が、第 2 電極に直流電圧が印加されたフォトダイオードと、該フォトダイオードの第 1 電極に第 2 電極が接続され、第 1 電極に第 1 電圧値の第 1 パルス信号が与えられるとともに、ゲート電極に第 2 電圧内の第 2 パルス信号が与えられる第 1 MOS トランジスタと、を有し、前記第 1 MOS トランジスタの第 1 電極に前記第 1 パルス信号が与えられた後、前記第 1 MOS トランジスタのゲート電極に前記第 2 パルス信号が与えられることによって、前記第 1 MOS トランジスタを通して前記第 1 MOS トランジスタの第 2 電極の電圧がリセットされるとともに、撮像時において、前記ダイオードに入射される光量が所定の明る

さまでは前記第 1 MOS トランジスタが不作動状態となり、前記第 1 MOS トランジスタの第 2 電極に前記ダイオードに入射される光量に対して線形的に変化する出力が現れるとともに、前記ダイオードに入射される光量が所定の明るさを超えたときは前記第 1 MOS トランジスタがサブスレッショルド領域で動作を行い、前記第 1 MOS トランジスタの第 2 電極に前記ダイオードに入射される光量に対して対数的に変化する出力が現れることを特徴とする。

【 0 0 3 2 】

このような固体撮像装置において、請求項 2 8 に記載するように、前記各画素に、前記第 1 MOS トランジスタの第 2 電極にゲート電極が接続されるとともに、第 2 電極より出力信号を出力する第 2 MOS トランジスタを、増幅用の MOS トランジスタとして設けても構わない。更に、請求項 2 9 に記載するように、前記各画素に、前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを、行選択用の MOS トランジスタとして設けても構わない。

【 0 0 3 3 】

又、請求項 3 0 に記載するように、前記各画素に、前記第 2 MOS トランジスタの第 2 電極に一端が接続されるとともに、他端に直流電圧が印加された第 1 キャパシタを設けて、光源の変動成分や高周波のノイズを吸収する SN 比の良好な出力信号が出力されるようにしても構わない。又、請求項 3 1 に記載するように、前記各画素に、前記第 2 MOS トランジスタの第 2 電極にゲート電極が接続されるとともに、第 1 電極に直流電圧が印加された第 4 MOS トランジスタを、増幅用の MOS トランジスタとして設けても構わない。更に、請求項 3 2 に記載するように、前記各画素に、前記第 4 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、ゲート電極に行選択線が接続され、第 2 電極より出力信号を出力する第 3 MOS トランジスタを、行選択用の MOS トランジスタとして設けても構わない。

【 0 0 3 4 】

又、請求項 3 3 に記載の固体撮像装置は、請求項 3 1 又は請求項 3 2 に記載の

固体撮像装置において、前記第2MOSトランジスタが、前記第1MOSトランジスタと逆極性のMOSトランジスタであることを特徴とする。

【0035】

又、請求項34に記載の固体撮像装置は、請求項5～請求項10又は請求項13～請求項33のいずれかに記載の固体撮像装置において、前記画素マトリクス状に配されることを特徴とする。

【0036】

【発明の実施の形態】

<画素構成>

図1は本発明の他の実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、 \dots 、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、 \dots 、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2 \dots 、4-nや出力信号線6-1、6-2 \dots 、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略する。

【0037】

出力信号線6-1、6-2、 \dots 、6-mごとにNチャネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。出力信号線6-1を例にとって説明すると、MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧 $V_{PS'}$ のライン8に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

【0038】

画素 $G_{11} \sim G_{mn}$ には、後述するように、それらの画素で発生した光電荷に基づく信号を出力するNチャネルのMOSトランジスタTaが設けられている。M

OSトランジスタ T_a と上記MOSトランジスタ Q_1 との接続関係は図2 (a) のようになる。このMOSトランジスタ T_a は、第2～第4、第6～第8、第10及び第11の実施形態では、MOSトランジスタ T_4 に、第1、第5及び第9の実施形態では、MOSトランジスタ T_2 に相当する。ここで、MOSトランジスタ Q_1 のソースに接続される直流電圧 V_{PS}' と、MOSトランジスタ T_a のドレインに接続される直流電圧 V_{PD}' との関係は $V_{PD}' > V_{PS}'$ であり、直流電圧 V_{PS}' は例えばグランド電圧（接地）である。この回路構成は上段のMOSトランジスタ T_a のゲートに信号が入力され、下段のMOSトランジスタ Q_1 のゲートには直流電圧 DC が常時印加される。このため下段のMOSトランジスタ Q_1 は抵抗又は定電流源と等価であり、図2 (a) の回路はソースフォロワ型の増幅回路となっている。この場合、MOSトランジスタ T_a から増幅出力されるのは電流であると考えてよい。

【0039】

MOSトランジスタ Q_2 は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図3以降の各実施形態の画素内にはスイッチ用のNチャネルのMOSトランジスタ T_3 も設けられている。このMOSトランジスタ T_3 も含めて表わすと、図2 (a) の回路は正確には図2 (b) のようになる。即ち、MOSトランジスタ T_3 がMOSトランジスタ Q_1 とMOSトランジスタ T_a との間に挿入されている。ここで、MOSトランジスタ T_3 は行の選択を行うものであり、MOSトランジスタ Q_2 は列の選択を行うものである。尚、図1および図2に示す構成は以下に説明する第1の実施形態～第11の実施形態に共通の構成である。

【0040】

図2のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタ Q_1 を画素内に設けずに、列方向に配置された複数の画素が接続される出力

信号線 6-1、6-2、・・・、6-m ごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0041】

<第1の実施形態>

図1に示した画素構成の各画素に適用される第1の実施形態について、図面を参照して説明する。図3は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。

【0042】

図3において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードはMOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲートに接続されている。MOSトランジスタT2のソースは行選択用のMOSトランジスタT3のドレインに接続されている。MOSトランジスタT3のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT1～T3は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0043】

又、フォトダイオードPDのカソード及びMOSトランジスタT2のドレインには直流電圧VPDが印加されるようになっている。一方、MOSトランジスタT1のソースには信号φVPSが入力される。又、MOSトランジスタT3のゲートには信号φVが入力される。尚、信号φVPSは2値の電圧信号で、入射光量が所定値を超えたときにMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をVHとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をVLとする。このような構成の画素の動作について、以下に説明する。

【0044】

図4に示すタイミングチャートのように、パルス信号φVがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号φVPSを

V_Lとしてリセット動作を行う。このとき、MOSトランジスタT₁を通してMOSトランジスタT₁のソース・ドレイン間に蓄積された電荷と逆極性の電荷が流入されて、MOSトランジスタT₁のゲート電圧がリセットされる。

【0045】

このように信号 ϕ VPSをV_Lとしてリセットを行っている際に、ハイレベルのパルス信号 ϕ VをMOSトランジスタT₃のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、リセットされたMOSトランジスタT₁のゲート電圧がMOSトランジスタT₂のゲートに与えられ、このMOSトランジスタT₁のゲート電圧がMOSトランジスタT₂で電流増幅されて、MOSトランジスタT₃を介して出力信号線6に出力される。

【0046】

又、MOSトランジスタT₂及びMOSトランジスタQ₁（図2）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ₁のドレイン電圧が、ノイズ信号として出力信号線6に現れる。このようにしてノイズ信号が読み出されると、MOSトランジスタT₃をOFFにした後、信号 ϕ VPSをV_Hにして、次の撮像動作に備える。

【0047】

信号 ϕ VPSをV_Hとして撮像動作が開始すると、フォトダイオードPDより入射光量に応じた光電荷がMOSトランジスタT₁に流れ込む。今、MOSトランジスタT₁はカットオフ状態であるので、光電荷がMOSトランジスタT₁のゲートに蓄積される。よって、撮像する被写体の輝度が低くフォトダイオードPDに入射される入射光量が少ない場合は、MOSトランジスタT₁のゲートに蓄積された光電荷量に応じた電圧がMOSトランジスタT₁のゲートに現れるため、入射光量の積分値に対して線形的に比例した電圧がMOSトランジスタT₂のゲートに現れる。

【0048】

又、撮像する被写体の輝度が高くフォトダイオードPDに入射される入射光量が多く、MOSトランジスタT₁のゲートに蓄積された光電荷量に応じた電圧が高くなると、MOSトランジスタT₁がサブスレッショルド領域で動作を行うた

め、入射光量に対して自然対数的に比例した電圧がMOSトランジスタT1のゲートに現れる。

【0049】

このようにして、入射光量に対して線形的に又は自然対数的に比例した電圧がMOSトランジスタT1、T2のゲートに現れ、先と同様に、パルス信号 ϕV をMOSトランジスタT3のゲートに与えることによって、入射光量に対して線形的に又は自然対数的に比例したMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電流増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。又、MOSトランジスタT2及びMOSトランジスタQ1の導通時抵抗とそれらを通る電流によって決まるMOSトランジスタQ1のドレイン電圧が、映像信号として出力信号線6に現れる。

【0050】

このような動作を行う各画素において、MOSトランジスタT1には閾値電圧にバラツキがあるために、信号 ϕVPS がVHとされた場合、線形変換動作から対数変換動作に切り替わる電圧値は、 $VH + V_{TH} - K$ （但し、 V_{TH} はMOSトランジスタT1の閾値電圧、Kは定数を表す）となる。本実施形態においては、信号 ϕVPS がVLとされた場合、MOSトランジスタT1のゲート電極の電圧値は、実用上、ほぼ $VL + V_{TH}$ となる。従って、差をとると、 $\Delta V = VH - VL - K$ となり、リセットされた状態から上記切り替わり点に至らしめるために必要な電荷量は、各画素のMOSトランジスタT1の閾値バラツキによらずほぼ一定である。

【0051】

よって、対数変換動作に変わるときのMOSトランジスタT1のゲート電圧に至るまでにMOSトランジスタT1に流れ込む光電荷量が、全ての画素において等しい。このように、各画素における変換動作が対数変換動作に切り替わるときのフォトダイオードPDより発生する光電荷量が等しいので、各画素における変換動作が対数変換動作に切り替わるときのフォトダイオードPDに入射される入射光量も等しい。即ち、全ての画素において、その変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度が等しいものとなり、MOSトランジスタT1の閾値電圧の差異による各画素の変換動作の切換への影響を低減す

ることができる。

【 0 0 5 2 】

又、リセット時における信号 ϕ VPS の電圧値 V_L を変化させることによって、線形変換動作を行う際の MOS トランジスタ T 1 のゲート電圧 V_G が変化する範囲を変化させることができる。よって、リセット時における信号 ϕ VPS の電圧値 V_L を変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を所望の切換点に変化させることができる。

【 0 0 5 3 】

更に、ノイズ信号が図 1 の信号線 9 から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図 5 0 に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【 0 0 5 4 】

< 第 2 の実施形態 >

第 2 の実施形態について、図面を参照して説明する。図 5 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 3 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 0 5 5 】

図 5 に示すように、本実施形態では、第 1 の実施形態（図 3）の画素に、MOS トランジスタ T 2 のソースに一端が接続されたキャパシタ C 1 と、同じく、MOS トランジスタ T 2 のソースにゲートが接続された MOS トランジスタ T 4 とが付加された構成となる。MOS トランジスタ T 4 は、ソースが MOS トランジスタ T 3 のドレインに接続されるとともに、ドレインに直流電圧 V_{PD} が印加されている。又、MOS トランジスタ T 2 のドレインには信号 ϕ D が与えられ、キャパシタ C 1 の他端に直流電圧 V_{PS} が印加される。尚、MOS トランジスタ T 4 も、MOS トランジスタ T 1 ~ T 3 と同様に、Nチャネルの MOS トランジスタで

バックゲートが接地されている。このような構成の画素の動作について、以下に説明する。

【 0 0 5 6 】

図 6 に示すタイミングチャートのように、パルス信号 ϕV が MOS トランジスタ T 3 のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕVPS を VL としてリセット動作を行う。このとき、MOS トランジスタ T 1 を通して、MOS トランジスタ T 1 のゲート電圧がリセットされる。このように信号 ϕVPS を VL としてリセットを行っている際に、まず、ローレベルのパルス信号 ϕD を MOS トランジスタ T 2 のドレインに与えることによって、キャパシタ C 1 に蓄積された電荷を MOS トランジスタ T 2 を通して信号 ϕD の信号線路に放出して、キャパシタ C 1 と MOS トランジスタ T 2 のソースとの接続ノードの電圧を初期化する。

【 0 0 5 7 】

そして、リセットされた MOS トランジスタ T 1 のゲート電圧が MOS トランジスタ T 2 のゲートに与えられ、この MOS トランジスタ T 1 のゲート電圧に応じたドレイン電流が MOS トランジスタ T 2 を通じてキャパシタ C 1 に流れて、キャパシタ C 1 に蓄電される。よって、キャパシタ C 1 と MOS トランジスタ T 2 のソースとの接続ノードの電圧が、リセットされた MOS トランジスタ T 1 のゲート電圧に応じたものとなる。

【 0 0 5 8 】

そして、次に、ハイレベルのパルス信号 ϕV を MOS トランジスタ T 3 のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、キャパシタ C 1 と MOS トランジスタ T 2 のソースとの接続ノードの電圧が MOS トランジスタ T 4 に与えられ、MOS トランジスタ T 4 で電流増幅された出力電流が、MOS トランジスタ T 3 を介して出力信号線 6 に出力される。このようにして、リセット時のノイズ信号が読み出されると、再び、ローレベルのパルス信号 ϕD を MOS トランジスタ T 2 のドレインに与えて、キャパシタ C 1 と MOS トランジスタ T 2 のソースとの接続ノードの電圧をリセットした後、信号 ϕVPS を VH として撮像動作に備える。

【 0 0 5 9 】

信号 ϕ VPS を VH として撮像動作が開始すると、フォトダイオード PD への入射光量に対して線形的に又は自然対数的に比例した電圧が MOS トランジスタ T1, T2 のゲートに現れる。そして、この入射光量に対して線形的に又は自然対数的に比例した電圧が MOS トランジスタ T2 で電流増幅されたドレイン電流がキャパシタ C1 に流れて、キャパシタ C1 に蓄電される。よって、キャパシタ C1 と MOS トランジスタ T2 のソースとの接続ノードの電圧が、入射光量の積分値に対して線形的に又は自然対数的に比例した電圧となる。

【 0 0 6 0 】

そして、先と同様に、ハイレベルのパルス信号 ϕ V を MOS トランジスタ T3 のゲートに与えることによって、撮像時における映像信号を読み出す。このとき、キャパシタ C1 と MOS トランジスタ T2 のソースとの接続ノードの電圧が MOS トランジスタ T4 に与えられ、MOS トランジスタ T4 で電流増幅された出力電流が、MOS トランジスタ T3 を介して出力信号線 6 に出力される。よって、出力信号線 6 に出力される出力電流が、入射光量の積分値に対して線形的に又は自然対数的に比例した電流となる。

【 0 0 6 1 】

このように撮像動作を行っているとき、第 1 の実施形態と同様、所定の明るさまでは入射光量の積分値に対して線形的に比例した電圧が、所定の明るさ以上のときは入射光量の積分値に対して自然対数的に比例した電圧が、それぞれ、MOS トランジスタ T2 のゲートに与えられる。

【 0 0 6 2 】

このような構成の画素において、リセット時における信号 ϕ VPS の電圧値 VL を変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタ C1 を用いることで、一旦キャパシタ C1 で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、S/N 比の良好な信号が得られる。

【 0 0 6 3 】

更に、ノイズ信号が図 1 の信号線 9 から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図 5 0 に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【 0 0 6 4 】

< 第 3 の実施形態 >

第 3 の実施形態について、図面を参照して説明する。図 7 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 5 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 0 6 5 】

図 7 に示すように、本実施形態では、第 2 の実施形態（図 5）の画素に、MOS トランジスタ T 2 のソースとキャパシタ C 1 との接続ノードにドレインが接続された MOS トランジスタ T 5 と、MOS トランジスタ T 5 のソースに一端が接続されたキャパシタ C 2 と、同じく、MOS トランジスタ T 5 のソースにドレインが接続された MOS トランジスタ T 6 とが付加された構成となる。MOS トランジスタ T 6 は、ソースに直流電圧 VRS が印加されるとともに、ゲートに信号 ϕ RS が与えられている。又、MOS トランジスタ T 5 のゲートには信号 ϕ S が与えられ、キャパシタ C 2 の他端に直流電圧 VPS が印加される。尚、MOS トランジスタ T 5、T 6 も、MOS トランジスタ T 1 ~ T 4 と同様に、N チャネルの MOS トランジスタでバックゲートが接地されている。このような構成の画素の動作について、以下に説明する。

【 0 0 6 6 】

パルス信号 ϕ V が MOS トランジスタ T 3 のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕ VPS を VL としてリセット動作を行う。このとき、MOS トランジスタ T 1 を通して、MOS トランジスタ T 1 のゲート電圧がリセットされる。このように信号 ϕ VPS を VL としてリセットを行っている際に、

まず、ローレベルのパルス信号 ϕD をMOSトランジスタT2のドレインに与えることによって、キャパシタC1に蓄積された電荷をMOSトランジスタT2を通して信号 ϕD の信号線路に放出して、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧を初期化する。又、信号 ϕRS にパルス信号を与えることによってキャパシタC2を初期化する。

【0067】

そして、リセットされたMOSトランジスタT1のゲート電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT1のゲート電圧に応じたドレイン電流がMOSトランジスタT2を通じてキャパシタC1に流れて、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、リセットされたMOSトランジスタT1のゲート電圧に応じたものとなる。そして、信号 ϕVPS をVHとして、次の撮像動作に備える。尚、この信号 ϕD 、 ϕVPS の動作については、図1の画素G11~Gmn全てに対して、同時に行われる。

【0068】

信号 ϕVPS をVHとして撮像動作が開始すると、フォトダイオードPDへの入射光量に対して線形的に又は自然対数的に比例した電圧がMOSトランジスタT1、T2のゲートに現れる。そして、この入射光量に対して線形的に又は自然対数的に比例した電圧がMOSトランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れて、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、入射光量の積分値に対して線形的に又は自然対数的に比例した電圧となる。

【0069】

そして、次に、ハイレベルのパルス信号 ϕS をMOSトランジスタT5のゲートに与えることによってMOSトランジスタT5が導通し、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧がキャパシタC2によってサンプリングされる。よって、キャパシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧が、入射光量の積分値に対して線形的に又は自然対数的に比例した電圧となる。尚、撮像動作が開始してからパルス信号 ϕS が与えられ

るまでの動作については、図 1 の画素 $G_{11} \sim G_{mn}$ 全てに対して、同時に行われる。

【 0 0 7 0 】

このように撮像動作を行っているとき、第 1 の実施形態と同様、所定の明るさまでは入射光量に対して線形的に比例した電圧が、又、所定以上の明るさのときは入射光量に対して自然対数的に比例した電圧が、それぞれ、MOS トランジスタ T_2 のゲートに与えられる。

【 0 0 7 1 】

その後、ハイレベルのパルス信号 ϕV を MOS トランジスタ T_3 のゲートに与えることによって、撮像時における映像信号を読み出す。このとき、キャパシタ C_2 と MOS トランジスタ T_4 のゲートとの接続ノードの電圧が MOS トランジスタ T_4 に与えられ、MOS トランジスタ T_4 で電流増幅された出力電流が、MOS トランジスタ T_3 を介して出力信号線 6 に出力される。よって、出力信号線 6 に出力される出力電流が、入射光量の積分値に対して線形的に又は自然対数的に比例した電流となる。

【 0 0 7 2 】

このような構成の画素において、リセット時における信号 ϕV_{PS} の電圧値 V_L を変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタ C_1 を用いることで、一旦キャパシタ C_1 で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、S/N 比の良好な信号が得られる。又、信号 ϕS を同時に与えることによって、全画素において同一時間に積分して得た映像信号をキャパシタ C_2 にサンプリングすることができる。よって、高速で異動する被写体を撮像しても、画像歪みが生じない。

【 0 0 7 3 】

< 第 4 の実施形態 >

第 4 の実施形態について、図面を参照して説明する。図 8 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 7 に示

す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 0 7 4 】

図 8 に示すように、本実施形態では、第 3 の実施形態（図 7）の画素より、MOS トランジスタ T 2 が省かれた構成となる。即ち、MOS トランジスタ T 1 のドレインとゲートの接続ノードが、キャパシタ C 1 と MOS トランジスタ T 5 のドレインとの接続ノードに接続される。このような構成の画素の動作について、以下に説明する。

【 0 0 7 5 】

パルス信号 ϕV が MOS トランジスタ T 3 のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕVPS を VL としてリセット動作を行う。このとき、MOS トランジスタ T 1 を通して、MOS トランジスタ T 1 のゲート電圧がリセットされるとともに、キャパシタ C 1 が初期化される。又、信号 ϕRS にパルス信号を与えることによってキャパシタ C 2 を初期化する。

【 0 0 7 6 】

その後、信号 ϕVPS を VH として撮像動作が開始すると、フォトダイオード P D への入射光量に対して線形的に又は自然対数的に比例した電圧が MOS トランジスタ T 1 のゲートに現れる。そして、この入射光量に対して線形的に又は自然対数的に比例した電圧がキャパシタ C 1 によってサンプリングされる。次に、ハイレベルのパルス信号 ϕS を MOS トランジスタ T 5 のゲートに与えることによって MOS トランジスタ T 5 が導通し、キャパシタ C 1 でサンプリングされた電圧がキャパシタ C 2 によってサンプリングされる。よって、キャパシタ C 2 と MOS トランジスタ T 4 のゲートとの接続ノードの電圧が、入射光量に対して線形的に又は自然対数的に比例した電圧となる。尚、撮像動作が開始してからパルス信号 ϕS が与えられるまでの動作については、図 1 の画素 G 11 ~ G mn 全てに対して、同時に行われる。

【 0 0 7 7 】

このように撮像動作を行っているとき、第 1 の実施形態と同様、入射光量に対して線形的に変化した出力、又は、入射光量に対して自然対数的に変化した出力

が、それぞれ、キャパシタC1にサンプリングされる。

【0078】

このような構成の画素において、リセット時における信号 ϕ VPSの電圧値VLを変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタC1を用いることで、一旦キャパシタC1で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、SN比の良好な信号が得られる。又、信号 ϕ Sを同時に与えることによって、全画素において同一時間にキャパシタC1でサンプリングして得た映像信号をキャパシタC2にサンプリングすることができる。よって、高速で異動する被写体を撮像しても、画像歪みが生じない。

【0079】

<第5の実施形態>

第5の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図3に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0080】

図9に示すように、本実施形態では、第1の実施形態（図3）の画素に、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとの間に接続されたMOSトランジスタT7が付加された構成となる。MOSトランジスタT7は、ドレインがフォトダイオードPDのアノードに、そして、ソースがMOSトランジスタT1のドレインにそれぞれ接続されるとともに、ゲートに信号 ϕ SWが与えられる。尚、MOSトランジスタT7も、MOSトランジスタT1～T3と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0081】

このような構成の画素は、リセット時及び撮像時のそれぞれにおいて、常に、ハイレベルの信号 ϕ SWをMOSトランジスタT7のゲートに与えて、MOSト

ランジスタT7をONにすることによって、第1の実施形態の画素と同様の状態とすることができる。即ち、常に、MOSトランジスタT7をONにして、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとを電氣的に接続することで、被写体の輝度に応じて自動的に線形変換動作と対数変換動作とを切り換えることができる。よって、このように、MOSトランジスタT7を常にONしたときの動作については、第1の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0082】

又、リセット時にMOSトランジスタT7を所定のタイミングでON/OFFさせることによって、図9のような構成の画素は、その撮像時に、全ての輝度範囲において対数変換動作を行う。このように、撮像時に、全ての輝度範囲において対数変換動作を行うときにおける、図9のような構成の画素の動作について、以下に説明する。尚、このとき、信号 ϕ VPSは、直流電圧VPSと略等しい電圧でMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をV_hとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をV_lとする。

【0083】

図10に示すタイミングチャートのように、パルス信号 ϕ VがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕ SWをローレベルにしてリセット動作を行う。このとき、MOSトランジスタT1のソース側より負の電荷が流れ込み、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が再結合される。よって、ある程度までリセットされて、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが下がる。

【0084】

このように、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、MOSトランジスタT1のソース

に与える信号 ϕ VPSをV₁とする。このように、MOSトランジスタT₁のソース電圧を低くすることによって、MOSトランジスタT₁のソースから流入する負の電荷の量が増加し、MOSトランジスタT₁のゲート及びドレイン、MOSトランジスタT₂のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合される。

【 0 0 8 5 】

そして、MOSトランジスタT₁のドレイン及びゲート下領域のポテンシャルが低くなると、MOSトランジスタT₁のソースに与える信号 ϕ VPSをV_hにする。よって、MOSトランジスタT₁のポテンシャル状態が、基の状態にリセットされる。このようにMOSトランジスタT₁のポテンシャル状態のリセットが行われると、ハイレベルのパルス信号 ϕ VをMOSトランジスタT₃のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このようにしてノイズ信号が読み出されると、MOSトランジスタT₃をOFFにした後、信号 ϕ SWをハイレベルにして、次の撮像動作に備える。

【 0 0 8 6 】

信号 ϕ SWをハイレベルにして撮像動作が開始すると、フォトダイオードPDより入射光量に応じた光電荷がMOSトランジスタT₁に流れ込む。今、MOSトランジスタT₁のソース電圧にV_hとなる信号 ϕ VPSが与えられるため、MOSトランジスタT₁はサブスレッショルド領域で動作を行う。よって、光電流を自然対数的に変換した値の電圧がMOSトランジスタT₁、T₂のゲートに発生する。

【 0 0 8 7 】

このようにして、入射光量に対して自然対数的に比例した電圧がMOSトランジスタT₁、T₂のゲートに現れると、先と同様に、パルス信号 ϕ VがMOSトランジスタT₃のゲートに与えられる。よって、入射光量に対して自然対数的に比例したMOSトランジスタT₁のゲート電圧がMOSトランジスタT₂で電流増幅されて、MOSトランジスタT₃を介して出力信号線6に出力される。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【 0 0 8 8 】

このように、リセット時に、MOSトランジスタT7をOFFさせることによって、フォトダイオードPDから流れる光電流の影響なくMOSトランジスタT1のリセットを行うことができる。又、撮像時には、常に、MOSトランジスタT1がサブスレッショルド領域で動作するため、全輝度範囲で対数変換動作を行うようにすることができる。

【0089】

又、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0090】

＜第6の実施形態＞

第6の実施形態について、図面を参照して説明する。図11は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0091】

図11に示すように、本実施形態では、第5の実施形態（図9）と同様、第2の実施形態（図5）の画素に、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとの間に接続されたMOSトランジスタT7が付加された構成となる。MOSトランジスタT7は、ドレインがフォトダイオードPDのアノードに、そして、ソースがMOSトランジスタT1のドレインにそれぞれ接続されるとともに、ゲートに信号 ϕ SWが与えられる。

【0092】

このような構成の画素は、第5の実施形態と同様、リセット時及び撮像時のそれぞれにおいて、常に、ハイレベルの信号 ϕ SWをMOSトランジスタT7のゲートに与えて、MOSトランジスタT7をONにすることによって、第2の実施

形態の画素と同様の状態とすることができる。即ち、常に、MOSトランジスタT7をONにして、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとを電氣的に接続することで、被写体の輝度に応じて自動的に線形変換動作と対数変換動作とを切り換えることができる。よって、このように、MOSトランジスタT7を常にONしたときの動作については、第2の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0093】

又、第5の実施形態と同様、リセット時にMOSトランジスタT7を所定のタイミングでON/OFFさせることによって、図11のような構成の画素は、その撮像時に、全ての輝度範囲において対数変換動作を行う。このように、撮像時に、全ての輝度範囲において対数変換動作を行うときにおける、図11のような構成の画素の動作について、以下に説明する。尚、このとき、信号 ϕ VPSは、直流電圧VPSと略等しい電圧でMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をVhとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をVlとする。

【0094】

図12に示すタイミングチャートのように、パルス信号 ϕ VがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕ SWをローレベルにしてリセット動作を行う。このとき、MOSトランジスタT1のソース側より負の電荷が流れ込み、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が再結合されて、ある程度までリセットされる。

【0095】

次に、MOSトランジスタT1のソースに与える信号 ϕ VPSをVlとする。このように、MOSトランジスタT1のソース電圧を低くすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させる。よって、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合される。

【 0 0 9 6 】

そして、MOSトランジスタT1のドレイン及びゲート下領域のポテンシャルが低くなると、MOSトランジスタT1のソースに与える信号 ϕ VPSをVhにして、MOSトランジスタT1のポテンシャル状態を、基の状態にリセットする。このようにMOSトランジスタT1のポテンシャル状態のリセットが行われると、まず、ローレベルのパルス信号 ϕ DをMOSトランジスタT2のドレインに与えることによって、キャパシタC1に蓄積された電荷をMOSトランジスタT2を通して信号 ϕ Dの信号線路に放出して、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧を初期化する。

【 0 0 9 7 】

そして、リセットされたMOSトランジスタT1のゲート電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れて、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、リセットされたMOSトランジスタT1のゲート電圧に応じたものとなる。

【 0 0 9 8 】

そして、次に、ハイレベルのパルス信号 ϕ VをMOSトランジスタT3のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧がMOSトランジスタT4に与えられ、MOSトランジスタT4で電流増幅された出力電流が、MOSトランジスタT3を介して出力信号線6に出力される。このようにしてノイズ信号が読み出されると、再び、ローレベルのパルス信号 ϕ DをMOSトランジスタT2のドレインに与えて、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧をリセットした後、信号 ϕ SWをハイレベルにして、次の撮像動作に備える。

【 0 0 9 9 】

信号 ϕ SWをハイレベルにして撮像動作が開始すると、フォトダイオードPDより入射光量に応じた光電荷がMOSトランジスタT1に流れ込む。今、MOS

トランジスタT1のソース電圧に V_h となる信号 ϕV_{PS} が与えられるため、MOSトランジスタT1はサブスレッショルド領域で動作を行う。よって、光電流を自然対数的に変換した値の電圧がMOSトランジスタT1、T2のゲートに発生する。

【0100】

このようにして、入射光量に対して自然対数的に比例した電圧がMOSトランジスタT1、T2のゲートに現れると、この入射光量に対して自然対数的に比例した電圧がMOSトランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れて、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧が、入射光量の積分値に対して自然対数的に比例した電圧となる。

【0101】

そして、先と同様に、ハイレベルのパルス信号 ϕV をMOSトランジスタT3のゲートに与えることによって、撮像時における映像信号を読み出す。このとき、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧がMOSトランジスタT4に与えられ、MOSトランジスタT4で電流増幅された出力電流が、MOSトランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量の積分値に対して自然対数的に比例した電流となる。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【0102】

このように、リセット時に、MOSトランジスタT7をOFFさせることによって、フォトダイオードPDから流れる光電流の影響なくMOSトランジスタT1のリセットを行うことができる。又、撮像時には、常に、MOSトランジスタT1がサブスレッショルド領域で動作するため、全輝度範囲で対数変換動作を行うようにすることができる。

【0103】

又、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を

記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図 5 0 に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0 1 0 4】

<第 7 の実施形態>

第 7 の実施形態について、図面を参照して説明する。図 1 3 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 7 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0 1 0 5】

図 1 3 に示すように、本実施形態では、第 5 の実施形態（図 9）と同様、第 3 の実施形態（図 7）の画素に、フォトダイオード PD のアノードと MOS トランジスタ T 1 のドレインとの間に接続された MOS トランジスタ T 7 が付加された構成となる。MOS トランジスタ T 7 は、ドレインがフォトダイオード PD のアノードに、そして、ソースが MOS トランジスタ T 1 のドレインにそれぞれ接続されるとともに、ゲートに信号 ϕ SW が与えられる。

【0 1 0 6】

このような構成の画素は、第 5 の実施形態と同様、リセット時及び撮像時のそれぞれにおいて、常に、ハイレベルの信号 ϕ SW を MOS トランジスタ T 7 のゲートに与えて、MOS トランジスタ T 7 を ON にすることによって、第 3 の実施形態の画素と同様の状態とすることができる。即ち、常に、MOS トランジスタ T 7 を ON にして、フォトダイオード PD のアノードと MOS トランジスタ T 1 のドレインとを電氣的に接続することで、被写体の輝度に応じて自動的に線形変換動作と対数変換動作とを切り換えることができる。よって、このように、MOS トランジスタ T 7 を常に ON したときの動作については、第 3 の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0 1 0 7】

又、第 5 の実施形態と同様、リセット時に MOS トランジスタ T 7 を所定のタ

イミングでON/OFFさせることによって、図13のような構成の画素は、その撮像時に、全ての輝度範囲において対数変換動作を行う。このように、撮像時に、全ての輝度範囲において対数変換動作を行うときにおける、図13のような構成の画素の動作について、以下に説明する。尚、このとき、信号 ϕ VPSは、直流電圧VPSと略等しい電圧でMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をVhとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をV1とする。

【0108】

パルス信号 ϕ VがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕ SWをローレベルにしてリセット動作を行う。このとき、MOSトランジスタT1のソースに与える信号 ϕ VPSをV1にして、MOSトランジスタT1を導通状態にすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させて、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合される。

【0109】

そして、MOSトランジスタT1のソースに与える信号 ϕ VPSをVhにして、MOSトランジスタT1のポテンシャル状態を基の状態にリセットする。このように、MOSトランジスタT1のポテンシャルの状態を基の状態にリセットした後、ローレベルのパルス信号 ϕ DをMOSトランジスタT2のドレインに与えることによって、キャパシタC1に蓄積された電荷をMOSトランジスタT2を通して信号 ϕ Dの信号線路に放出して、キャパシタC1とMOSトランジスタT2のソースとの接続ノードの電圧を初期化する。又、信号 ϕ RSにパルス信号を与えることによってキャパシタC2を初期化する。

【0110】

そして、リセットされたMOSトランジスタT1のゲート電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れて、キャパシタC1に蓄電される。よって、キャパシタC1とMOSトランジスタ

T 2 のソースとの接続ノードの電圧が、リセットされたM O S トランジスタT 1 のゲート電圧に応じたものとなる。

【 0 1 1 1 】

そして、信号 ϕ S W をハイレベルにして撮像動作が開始すると、M O S トランジスタT 1 のソース電圧にV h となる信号 ϕ V P S が与えられるため、M O S トランジスタT 1 はサブスレッショルド領域で動作を行うので、フォトダイオードP D への入射光量に対して自然対数的に比例した電圧がM O S トランジスタT 1 , T 2 のゲートに現れる。そして、この入射光量に対して自然対数的に比例した電圧がM O S トランジスタT 2 で電流増幅されたドレイン電流がキャパシタC 1 に流れて、キャパシタC 1 に蓄電される。よって、キャパシタC 1 とM O S トランジスタT 2 のソースとの接続ノードの電圧が、入射光量の積分値に対して自然対数的に比例した電圧となる。

【 0 1 1 2 】

そして、次に、ハイレベルのパルス信号 ϕ S をM O S トランジスタT 5 のゲートに与えることによってM O S トランジスタT 5 が導通し、キャパシタC 1 とM O S トランジスタT 2 のソースとの接続ノードの電圧がキャパシタC 2 によってサンプリングされる。よって、キャパシタC 2 とM O S トランジスタT 4 のゲートとの接続ノードの電圧が、入射光量の積分値に対して自然対数的に比例した電圧となる。尚、撮像動作が開始してからパルス信号 ϕ S が与えられるまでの動作については、図 1 の画素G 11 ~ G m n 全てに対して、同時に行われる。

【 0 1 1 3 】

その後、ハイレベルのパルス信号 ϕ V をM O S トランジスタT 3 のゲートに与えることによって、撮像時における映像信号を読み出す。このとき、キャパシタC 2 とM O S トランジスタT 4 のゲートとの接続ノードの電圧がM O S トランジスタT 4 に与えられ、M O S トランジスタT 4 で電流増幅された出力電流が、M O S トランジスタT 3 を介して出力信号線 6 に出力される。よって、出力信号線 6 に出力される出力電流が、入射光量の積分値に対して自然対数的に比例した電流となる。

【 0 1 1 4 】

このように、リセット時に、MOSトランジスタT7をOFFさせることによって、フォトダイオードPDから流れる光電流の影響なくMOSトランジスタT1のリセットを行うことができる。又、撮像時には、常に、MOSトランジスタT1がサブスレッショルド領域で動作するため、全輝度範囲で対数変換動作を行うようにすることができる。

【0115】

<第8の実施形態>

第8の実施形態について、図面を参照して説明する。図14は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図8に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0116】

図14に示すように、本実施形態では、第5の実施形態（図9）と同様、第4の実施形態（図8）の画素に、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとの間に接続されたMOSトランジスタT7が付加された構成となる。MOSトランジスタT7は、ドレインがフォトダイオードPDのアノードに、そして、ソースがMOSトランジスタT1のドレインにそれぞれ接続されるとともに、ゲートに信号 ϕ SWが与えられる。

【0117】

このような構成の画素は、第5の実施形態と同様、リセット時及び撮像時のそれぞれにおいて、常に、ハイレベルの信号 ϕ SWをMOSトランジスタT7のゲートに与えて、MOSトランジスタT7をONにすることによって、第4の実施形態の画素と同様の状態とすることができる。即ち、常に、MOSトランジスタT7をONにして、フォトダイオードPDのアノードとMOSトランジスタT1のドレインとを電氣的に接続することで、被写体の輝度に応じて自動的に線形変換動作と対数変換動作とを切り換えることができる。よって、このように、MOSトランジスタT7を常にONしたときの動作については、第4の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0118】

又、第5の実施形態と同様、リセット時にMOSトランジスタT7を所定のタイミングでON/OFFさせることによって、図14のような構成の画素は、その撮像時に、全ての輝度範囲において対数変換動作を行う。このように、撮像時に、全ての輝度範囲において対数変換動作を行うときにおける、図14のような構成の画素の動作について、以下に説明する。尚、このとき、信号 ϕ VPSは、直流電圧VPSと略等しい電圧でMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をVhとし、又、この電圧よりも低くMOSトランジスタT1を導通状態にする電圧をV1とする。

【0119】

パルス信号 ϕ VがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕ SWをローレベルにしてリセット動作を行う。このとき、MOSトランジスタT1のソースに与える信号 ϕ VPSをV1にして、MOSトランジスタT1を導通状態にすることによって、MOSトランジスタT1のソースから流入する負の電荷の量を増加させて、MOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が速やかに再結合される。

【0120】

そして、MOSトランジスタT1のソースに与える信号 ϕ VPSをVhにして、MOSトランジスタT1のポテンシャル状態を基の状態にリセットする。次に、信号 ϕ SWをハイレベルにして撮像動作が開始すると、MOSトランジスタT1のソース電圧にVhとなる信号 ϕ VPSが与えられるため、MOSトランジスタT1はサブスレッショルド領域で動作を行うので、フォトダイオードPDへの入射光量に対して自然対数的に比例した電圧がMOSトランジスタT1のゲートに現れる。そして、この入射光量に対して自然対数的に比例した電圧がキャパシタC1でサンプリングされる。

【0121】

このように、撮像時のMOSトランジスタT1のゲート電圧がキャパシタC1でサンプリングされると、次に、ハイレベルのパルス信号 ϕ SをMOSトランジスタT5のゲートに与えることによってMOSトランジスタT5が導通し、キャ

パシタC1でサンプリングされた電圧がキャパシタC2によってサンプリングされる。よって、キャパシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧が、入射光量に対して自然対数的に比例した電圧となる。尚、撮像動作が開始してからパルス信号 ϕS が与えられるまでの動作については、図1の画素G11~Gmn全てに対して、同時に行われる。

【0122】

その後、ハイレベルのパルス信号 ϕV をMOSトランジスタT3のゲートに与えることによって、撮像時における映像信号を読み出す。このとき、キャパシタC2とMOSトランジスタT4のゲートとの接続ノードの電圧がMOSトランジスタT4に与えられ、MOSトランジスタT4で電流増幅された出力電流が、MOSトランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量に対して自然対数的に比例した電流となる。

【0123】

このように、リセット時に、MOSトランジスタT7をOFFさせることによって、フォトダイオードPDから流れる光電流の影響なくMOSトランジスタT1のリセットを行うことができる。又、撮像時には、常に、MOSトランジスタT1がサブスレッショルド領域で動作するため、全輝度範囲で対数変換動作を行うようにすることができる。

【0124】

<ディプレッション型MOSトランジスタを組み合わせた構成の画素>

又、第5~第8の実施形態(図9、図11、図13、図14)において、MOSトランジスタT7をディプレッション型のNチャネルのMOSトランジスタとしても構わない。この画素の構成を、図15~図18に示す。図15~図18に示すように、MOSトランジスタT7以外のMOSトランジスタT1~T6は、エンハンスメント型のNチャネルのMOSトランジスタである。

【0125】

図9、図11、図13、図14の構成の画素ように、画素内に設けられたMOSトランジスタを全てエンハンスメント型のMOSトランジスタで構成したとき

、MOSトランジスタT1，T7が直列に接続されるため、MOSトランジスタT7のゲートに与える信号 ϕ SWのハイレベルの電圧が、通常は、この画素に供給する電圧よりも高くなる。そのため、通常はMOSトランジスタT7に信号 ϕ SWを与えるための別の電源を設ける必要がある。

【0126】

それに対して、上述したように、このMOSトランジスタT7をディプレッション型のMOSトランジスタとすることによって、そのゲートに与える信号 ϕ SWのハイレベルの電圧を低くすることができ、他のMOSトランジスタに与えるハイレベルの信号と同じ電圧にすることが可能になる。これは、ディプレッション型のMOSトランジスタの閾値が負の値となるため、エンハンスメント型のMOSトランジスタと比べて、低いゲート電圧でONすることができるからである。

【0127】

<PチャネルMOSトランジスタを組み合わせた構成の画素>

更に、第5～第8の実施形態において、MOSトランジスタT1をPチャネルのMOSトランジスタとしても構わない。この画素の構成を、図19～図22に示す。図19～図22に示すように、MOSトランジスタT7以外のMOSトランジスタT1～T6は、NチャネルのMOSトランジスタである。又、MOSトランジスタT7のソースがフォトダイオードPDのアノードと接続されるとともに、ドレインがMOSトランジスタT1のドレインに接続される。

【0128】

このような構成にしたとき、MOSトランジスタT7は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が閾値より小さければOFFとなる。よって、MOSトランジスタT7のゲートに与える信号 ϕ SWが、第5～第8の実施形態の信号 ϕ SWとそのタイミングが逆転するとともに、MOSトランジスタT7のドレインに直列に接続されたMOSトランジスタT1の影響を受けることなく、ON/OFF動作を行うことができる。

【0129】

又、MOSトランジスタT7のON/OFF動作が、MOSトランジスタT1の影響を受けることがないので、信号 ϕ SWを供給するための別の電源を設ける必要が無くなる。更に、このようにすることによって、MOSトランジスタT7を、他のMOSトランジスタと同様にエンハンスメント型のMOSトランジスタとすることができるので、他のMOSトランジスタと同一の工程でMOSトランジスタT7を生成することが可能である。よって、上述したように、MOSトランジスタT7のみをディプレッション型のMOSトランジスタとするとときと比べて、その生産工程が簡素化される。

【0130】

<第9の実施形態>

第9の実施形態について、図面を参照して説明する。図23は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図3に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0131】

図23に示すように、本実施形態では、フォトダイオードPDのカソードは、MOSトランジスタT8のソース及びMOSトランジスタT2のゲートに接続されている。又、MOSトランジスタT2のソースは行選択用のMOSトランジスタT3のドレインに接続されている。MOSトランジスタT3のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT2、T3、T8は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0132】

又、フォトダイオードPDのアノードには直流電圧VPSが、MOSトランジスタT2のドレインには直流電圧VPDが印加されるようになっている。又、MOSトランジスタT3のゲートには信号 ϕ Vが入力される。一方、MOSトランジスタT8のドレインには信号 ϕ VPDが、又、ゲートには信号 ϕ VPGが、それぞれ入力されるようになっている。

【0133】

尚、信号 ϕ VPGは2値の電圧信号で、入射光量が所定値を超えたときにMOSトランジスタT8をサブスレッショルド領域で動作させるための電圧をV_aとし、又、この電圧よりも高くMOSトランジスタT8のソース電圧を初期化するための電圧V_bとする。又、信号 ϕ VPDは2値の電圧信号で、高い方は前記V_b以上の電圧、低い方は前記V_a以下の電圧である。このような構成の画素の動作について、以下に説明する。

【0134】

図24に示すタイミングチャートのように、パルス信号 ϕ VがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕ VPDをローレベルとしてリセット動作を行う。このリセット動作について、図24のタイミングチャート及び図25のMOSトランジスタT8におけるポテンシャル変遷図を参照して説明する。

【0135】

ところで、MOSトランジスタT8は、例えば、図25(a)のように、P型の半導体基板(以下、「P型基板」という。)10にN型拡散層11, 12を形成し、且つ、そのN型拡散層11, 12間のチャンネル上に順次、酸化膜13とポリシリコン層14を形成することによって構成される。ここで、N型拡散層11, 12が、それぞれMOSトランジスタT8のドレイン、ソースを形成するとともに、酸化膜13及びポリシリコン層14がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層11, 12の間の領域をゲート下領域である。又、図25(b)～(f)において、矢印の方向が、ポテンシャルが高いことを表す。

【0136】

よって、撮像動作が終了した直後、MOSトランジスタT8は、例えば、図25(b)に実線で示すように、ソースより、ソース、ゲート下領域、ドレインの順に高くなるようなポテンシャル状態にある。或いは、図25(b)に実線及び一点鎖線で示すように、ゲート下領域、ソース、ドレインの順に高くなるようなポテンシャル状態にある。そして、これらいずれの状態にあっても、信号 ϕ VPDをローレベルにしたとき、図25(c)のように、MOSトランジスタT8のド

レイン側から、MOSトランジスタT8のゲート下領域及びソースに電化が注入され、ドレイン、ゲート下領域、ソースがこの信号 ϕ VPDのローレベルに応じたポテンシャルとなる。尚、このとき、信号 ϕ VPGの電圧値は V_a である。

【0137】

その後、信号 ϕ VPDをハイレベルに戻すと、図25(d)のように、MOSトランジスタT8のドレインが信号 ϕ VPDのハイレベルに応じたポテンシャルとなるとともに、MOSトランジスタT8のゲート下領域及びソースが、信号 ϕ VPGの電圧値 V_a に応じたポテンシャルとなる。

【0138】

更に、この状態から、MOSトランジスタT8のゲートに与える信号 ϕ VPGの電圧を V_a から V_b に切り換えることによって、図25(e)のように、MOSトランジスタT8のゲート下領域及びソースが、信号 ϕ VPGの電圧値 V_b に応じたポテンシャルとなり、図25(d)の状態に比べて高くなる。

【0139】

このとき、ハイレベルのパルス信号 ϕ VをMOSトランジスタT3のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、リセットされたMOSトランジスタT8のソース電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT8のソース電圧がMOSトランジスタT2で電流増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。

【0140】

そして、再び、MOSトランジスタT8のゲートに与える信号 ϕ VPGの電圧を V_b から V_a に切り換えることによって、図25(f)のように、MOSトランジスタT8のゲート下領域が、信号 ϕ VPGの電圧値 V_a に応じたポテンシャルとなり、図25(e)の状態に比べて低くなる。よって、このとき、MOSトランジスタT8のソースの電位がゲート下領域の電位に比べて高くなる。このように、信号 ϕ VPD、 ϕ VPGが動作されることによって、MOSトランジスタT8のポテンシャル状態がリセットされる。

【0141】

信号 ϕ VPG を V_a として撮像動作が開始されると、フォトダイオード PD より入射光量に応じた光電荷が MOS トランジスタ T 8 に流れ込む。今、MOS トランジスタ T 8 のゲート電圧がソース電圧より低いので、MOS トランジスタ T 8 はカットオフ状態となり、光電荷が MOS トランジスタ T 8 のソースに蓄積される。よって、撮像する被写体の輝度が低くフォトダイオード PD に入射される入射光量が少ない場合は、MOS トランジスタ T 8 のソースに蓄積された光電荷量に応じた電圧が MOS トランジスタ T 8 のソースに現れるため、入射光量の積分値に対して線形的に比例した電圧が MOS トランジスタ T 2 のソースに現れる。尚、このとき、フォトダイオード PD で発生する光電荷が負の光電荷であるので、強い光が入射されるほど、MOS トランジスタ T 8 のソース電圧が低くなる。

【 0 1 4 2 】

又、撮像する被写体の輝度が高くフォトダイオード PD に入射される入射光量が多くなると、MOS トランジスタ T 8 がサブスレッショルド領域で動作を行うため、入射光量に対して自然対数的に比例した電圧が MOS トランジスタ T 8 のソースに現れる。

【 0 1 4 3 】

このようにして、入射光量に対して線形的に又は自然対数的に比例した電圧が MOS トランジスタ T 2 のゲートに現れると、先と同様に、パルス信号 ϕ V が MOS トランジスタ T 3 のゲートに与えられ、入射光量に対して線形的に又は自然対数的に比例した MOS トランジスタ T 8 のソース電圧が MOS トランジスタ T 2 で電流増幅されて、MOS トランジスタ T 3 を介して出力信号線 6 に出力される。又、MOS トランジスタ T 2 及び MOS トランジスタ Q 1 の導通時抵抗とそれらを流れる電流によって決まる MOS トランジスタ Q 1 のドレイン電圧が、映像信号として出力信号線 6 に現れる。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【 0 1 4 4 】

このような動作を行う各画素において、MOS トランジスタ T 8 の閾値電圧にバラツキがあるために、 ϕ VPG が V_a とされた場合、線形変換動作から対数変換動作に切り替わる電圧値は、 $V_a + V_x$ (但し、 V_x は MOS トランジスタ T 8

の閾値バラツキによる電圧の変動成分を表す) となる。本実施形態においては、 ϕVPG が V_b とされた場合、MOSトランジスタT8のソース電極の電圧値は、実用上、ほぼ $V_b + V_x$ となる。従って、差をとると、 $\Delta V = V_b - V_a$ となり、リセットされた状態から上記切り替わり点に至らしめるために必要な電荷量は、各画素のMOSトランジスタT8の閾値バラツキによらずほぼ一定である。

【0145】

よって、対数変換動作に変わるときのMOSトランジスタT8のソース電圧に至るまでにMOSトランジスタT8に流れ込む光電荷量が、全ての画素において等しい。このように、各画素における変換動作が対数変換動作に切り替わるときのフォトダイオードPDより発生する光電荷量が等しいので、各画素における変換動作が対数変換動作に切り替わるときのフォトダイオードPDに入射される入射光量も等しい。即ち、全ての画素において、その変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度が等しいものとなり、MOSトランジスタT8の閾値電圧の差異による各画素の変換動作の切換への影響を低減することができる。

【0146】

又、リセット時における信号 ϕVPG の電圧値 V_b を変化させることによって、線形変換動作を行う際のMOSトランジスタT8のゲート電圧 V_S が変化する範囲を変化させることができる。よって、リセット時における信号 ϕVPG の電圧値 V_b を変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。

【0147】

更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。尚、本実施ケイタイにおいては、 ϕVPD を一旦ローレベルにした後、 ϕVPG をハイレベルにしているが、両者のタイミングはこれ

に限るものではなく、例えば、 ϕ VPGをハイレベルにしている間に、 ϕ VPDを一旦ローレベルにするようにしても構わない。

【0148】

<第10の実施形態>

第10の実施形態について、図面を参照して説明する。図26は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図23に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0149】

図26に示すように、本実施形態では、第9の実施形態（図23）の画素に、MOSトランジスタT4、T9、T10及びキャパシタC3が付加された構成となる。MOSトランジスタT9のゲートがフォトダイオードPDのアノードとMOSトランジスタT8のソースが接続され、そのソースが一端に直流電圧VPDが印加されたキャパシタC3の他端に接続される。又、MOSトランジスタT9のソースとキャパシタC3との接続ノードにMOSトランジスタT4のゲート及びMOSトランジスタT10のソースが接続される。尚、MOSトランジスタT9、T10は、PチャネルのMOSトランジスタでバックゲートに電源電圧が印加されている。

【0150】

直流電圧VPDがMOSトランジスタT4のドレインに印加されるとともに、直流電圧VPSがMOSトランジスタT9のドレインに印加される。又、MOSトランジスタT10のドレインに直流電圧VRSが印加されるとともに、そのゲートに信号 ϕ RSが印加される。更に、MOSトランジスタT4のソースにMOSトランジスタT3のドレインが接続される。このような構成の画素の動作について、以下に説明する。

【0151】

図27に示すタイミングチャートのように、パルス信号 ϕ VがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕ VPDをローレベルとしてリセット動作を行う。このとき、MOSトランジスタT8の

ドレイン、ゲート下領域、ソースがこの信号 ϕ VPDのローレベルに応じたポテンシャルとなる。その後、信号 ϕ VPDをハイレベルに戻すと、MOSトランジスタT8のドレインが信号 ϕ VPDのハイレベルに応じたポテンシャルとなるとともに、MOSトランジスタT8のゲート下領域及びソースが、信号 ϕ VPGの電圧値V_aに応じたポテンシャルとなる。

【0152】

更に、この状態から、MOSトランジスタT8のゲートに与える信号 ϕ VPGの電圧をV_aからV_bに切り換えることによって、MOSトランジスタT8のゲート下領域及びソースが、信号 ϕ VPGの電圧値V_bに応じたポテンシャルとなる。そして、まず、ローレベルのパルス信号 ϕ RSをMOSトランジスタT10のゲートに与えることによって、キャパシタC3に蓄電して、キャパシタC3とMOSトランジスタT9のソースとの接続ノードの電圧を初期化する。

【0153】

このとき、ハイレベルのパルス信号 ϕ VをMOSトランジスタT3のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、リセットされたMOSトランジスタT8のソース電圧に応じた電圧がMOSトランジスタT4のゲートに与えられる。そして、MOSトランジスタT4で電流増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。このようにノイズ信号が読み出されると、再度、ローレベルのパルス信号 ϕ RSをMOSトランジスタT10のゲートに与えることによって、キャパシタC3とMOSトランジスタT9のソースとの接続ノードの電圧を初期化する。

【0154】

そして、再び、MOSトランジスタT8のゲートに与える信号 ϕ VPGの電圧をV_bからV_aに切り換えることによって、MOSトランジスタT8のゲート下領域が、信号 ϕ VPGの電圧値V_aに応じたポテンシャルとなり、ソースの電位がゲート下領域の電位に比べて高くなる。このように、信号 ϕ VPD、 ϕ VPGが動作されることによって、MOSトランジスタT8のポテンシャル状態がリセットされる。

【0155】

信号 ϕ VPG を V_a として撮像動作が開始すると、フォトダイオード PD への入射光量に対して線形的に又は自然対数的に比例した電圧が、MOS トランジスタ T8 のソース及び MOS トランジスタ T9 のゲートに現れる。尚、このとき、フォトダイオード PD で発生する光電荷が負の光電荷であるので、強い光が入射されるほど、MOS トランジスタ T8 のソース電圧が低くなる。

【 0 1 5 6 】

このようにして光電流に対して線形的に又は自然対数的に変化した電圧が MOS トランジスタ T9 のゲートに現れると、MOS トランジスタ T9 がリセットされて MOS トランジスタ T9 のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタ C3 から正の電荷が MOS トランジスタ T9 を介して流れる。このとき、MOS トランジスタ T9 のゲート電圧によって、キャパシタ C3 から流れる正の電荷量が決定される。即ち、強い光が入射されて MOS トランジスタ T8 のソース電圧が低くなるときほど、キャパシタ C3 から流れる正の電荷量が多い。

【 0 1 5 7 】

このようにしてキャパシタ C3 から正の電荷が流れ、キャパシタ C3 と MOS トランジスタ T9 のソースとの接続ノードの電圧が入射光量の積分値を線形的に又は自然対数的に比例した値となる。そして、パルス信号 ϕ V を与えて MOS トランジスタ T3 を ON にしたとき、前記光電流の積分値を線形的に又は自然対数的に比例した値となる電流が、MOS トランジスタ T3, T4 を介して出力信号線 6 に導出される。このようにして入射光量の線形的に又は対数値に比例した信号（出力電流）を読み出すと、MOS トランジスタ T3 を OFF にする。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【 0 1 5 8 】

このように撮像動作を行っているとき、第 9 の実施形態と同様、MOS トランジスタ T8 のソース電圧 V_S が入射光量の積分値に対して線形的に比例した電圧又は、入射光量に対して自然対数的に比例した電圧が、それぞれ、MOS トランジスタ T9 のゲートに与えられる。

【 0 1 5 9 】

このような構成の画素において、リセット時における信号 ϕ VPGの電圧値 V_b を変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタC3を用いることで、一旦キャパシタC3で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、S/N比の良好な信号が得られる。

【0160】

更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0161】

<第11の実施形態>

第11の実施形態について、図面を参照して説明する。図28は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図26に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0162】

図28に示すように、本実施形態では、第10の実施形態(図26)の画素より、MOSトランジスタT10が省かれた構成となる。このとき、MOSトランジスタT9のドレインに信号 ϕ VPSが印加される。このように構成することによって、キャパシタC3とMOSトランジスタT9のソースとの接続ノードにおける電圧のリセットをMOSトランジスタT9を通して行う。よって、その他の動作については、第10の実施形態の動作と同様であるので、本実施形態の画素の動作については、第10の実施形態を参照するものとして省略する。

【0163】

尚、本実施形態において、ハイレベルのパルス信号 ϕ VPSをMOSトランジス

タT9のドレインに与えることによって、キャパシタC3とMOSトランジスタT9のソースとの接続ノードにおける電圧のリセットが行われる。又、本実施形態のように、MOSトランジスタT10を省略できる分、第10の実施形態に比べて、その構成がシンプルになる。

【0164】

更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0165】

以上説明した各実施形態において、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしてもかまわない。この場合、MOSトランジスタT4に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。又、上述した各実施形態では、感光素子としてフォトダイオードを用いたが、フォトダイオードに限らず、フォトリスタの他の感光素子を用いても構わない。更に、第2、第3、第6及び第7の実施形態において、キャパシタC1のリセットをMOSトランジスタT2を通じて行うようにしたが、キャパシタC1のリセットを行うためのMOSトランジスタを別途設けるようにしても構わない。

【0166】

以上説明した第1～第9の実施形態は、画素内の能動素子であるMOSトランジスタT1～T8を全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1～T8を全てPチャネルのMOSトランジスタで構成してもよい。又、第10及び第11の実施形態において、画素内のNチャネルのMOSトランジスタをPチャネルのMOSトランジスタに、PチャネルのMOSトランジスタをNチャネルのMOSトランジスタに変えて構成しても構わない。

【 0 1 6 7 】

図 3 1 ～ 図 3 8 及び 図 4 7 には、上記第 1 ～ 第 9 の実施形態を P チャンネルの MOS トランジスタで構成した例である第 1 2 ～ 第 2 0 の実施形態を示している。又、図 4 8 及び 図 4 9 には、上記第 1 0 及び第 1 1 の実施形態の画素の MOS トランジスタを逆極性の MOS トランジスタで構成した例である第 2 1 及び第 2 2 の実施形態を示している。又、図 3 9 ～ 図 4 2 は、第 1 7 ～ 第 2 0 の実施形態において、MOS トランジスタ T 7 をディプレッション型の P チャンネルの MOS トランジスタとしたものである。更に、図 4 3 ～ 図 4 6 は、第 1 7 ～ 第 2 0 の実施形態において、MOS トランジスタ T 7 を N チャンネルの MOS トランジスタとしたものである。そのため図 2 9 ～ 図 4 9 では接続の極性や印加電圧の極性が逆になっている。例えば、図 3 1 (第 1 2 の実施形態)において、フォトダイオード PD はアノードに直流電圧 V_{PD} に接続され、カソードが MOS トランジスタ T 1 のドレイン及びゲートと MOS トランジスタ T 2 のゲートに接続されている。MOS トランジスタ T 1 のソースには信号 ϕ V_{PS} が与えられる。

【 0 1 6 8 】

ところで、図 3 1 のような画素が対数変換を行うとき、直流電圧 V_{PS} と直流電圧 V_{PD} は、 $V_{PS} > V_{PD}$ となっており、図 3 (第 1 の実施形態)と逆である。又、図 3 2 のような画素において、キャパシタ C 1 の出力電圧は初期値が高い電圧で、積分によって降下する。又、MOS トランジスタ T 3 ～ T 7 を ON させるときには、低い電圧をゲートに印加する。又、図 4 3 ～ 図 4 6 に示す構成の画素において、N チャンネルの MOS トランジスタとなる MOS トランジスタ T 7 を ON させるときには、高い電圧をゲートに印加する。更に、図 4 8 の実施形態 (第 2 1 の実施形態)において、MOS トランジスタ T 1 0 を ON させるときには低い電圧をゲートに印加する。以上の通り、逆極性の MOS トランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図 3 1 ～ 図 4 9 については図面で示すのみで、その構成や動作についての説明は省略する。

【 0 1 6 9 】

第 1 2 ～ 第 2 2 の実施形態の画素を含む固体撮像装置の全体構成を説明するた

めのブロック回路構成図を図 2 9 に示している。図 2 9 については、図 1 と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図 2 9 の構成について簡単に説明する。列方向に配列された出力信号線 6 - 1、6 - 2、
 …、6 - m に対して P チャンネルの MOS トランジスタ Q 1 と P チャンネルの MOS トランジスタ Q 2 が接続されている。MOS トランジスタ Q 1 のゲートは直流電圧線 7 に接続され、ドレインは出力信号線 6 - 1 に接続され、ソースは直流電圧 V_{PS}' のライン 8 に接続されている。

【 0 1 7 0 】

一方、MOS トランジスタ Q 2 のドレインは出力信号線 6 - 1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。ここで、MOS トランジスタ Q 1 は画素内の P チャンネルの MOS トランジスタ T a と共に図 3 0 (a) に示すような増幅回路を構成している。尚、MOS トランジスタ T a は、第 1 3 ~ 第 1 5、第 1 7 ~ 第 1 9、第 2 1 及び第 2 2 の実施形態では MOS トランジスタ T 4 に相当し、又、第 1 2、第 1 6 及び第 2 0 の実施形態では MOS トランジスタ T 2 に相当する。

【 0 1 7 1 】

この場合、MOS トランジスタ Q 1 は MOS トランジスタ T a の負荷抵抗又は定電流源となっている。従って、この MOS トランジスタ Q 1 のソースに接続される直流電圧 V_{PS}' と、MOS トランジスタ T a のドレインに接続される直流電圧 V_{PD}' との関係は、 $V_{PD}' < V_{PS}'$ であり、直流電圧 V_{PD}' は例えばグランド電圧（接地）である。MOS トランジスタ Q 1 のドレインは MOS トランジスタ T a に接続され、ゲートには直流電圧が印加されている。P チャンネルの MOS トランジスタ Q 2 は水平走査回路 3 によって制御され、増幅回路の出力を最終的な信号線 9 へ導出する。画素内に設けられた MOS トランジスタ T 3 を考慮すると、図 3 0 (a) の回路は図 3 0 (b) のように表わされる。

【 0 1 7 2 】

＜映像信号の補正方法＞

上述した第 1 ~ 第 2 2 の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面

を参照して説明する。

【 0 1 7 3 】

図 5 0 に示す画像入力装置は、対物レンズ 5 1 と、該対物レンズ 5 1 を通して入射される光の光量に応じて電気信号を出力する固体撮像装置 5 2 と、撮像時の固体撮像装置 5 2 の映像信号が入力されて一時記憶されるメモリ 5 3 と、リセット時の固体撮像装置 5 2 のノイズ信号が入力されて一時記憶されるためのメモリ 5 4 と、メモリ 5 3 から送出される映像信号からメモリ 5 4 から記憶されるノイズ信号を補正演算する補正演算回路 5 5 と、補正演算回路 5 5 でノイズ信号により補正の施された映像信号を演算処理して外部に出力する処理部 5 6 と、リセット回路 5 7 とを有する。尚、固体撮像装置 5 2 は、第 1 ～ 第 2 2 の実施形態のような回路構成の画素が設けられた固体撮像装置である。リセット回路 5 7 は、先に説明した各実施形態におけるリセット動作を行うための物であり、少なくとも電源とこの電源を ON / OFF する所定のタイミングジェネレータ及びスイッチを備えている。これにより、第 1 の実施形態であれば、MOS トランジスタ T 1 のソースに対して ϕ VPS が、第 9 の実施形態であれば、MOS トランジスタ T 8 のゲートに対して ϕ VPG、ドレインに対して ϕ VPD がそれぞれ与えられ MOS トランジスタがリセットされる。リセット回路 5 7 は、垂直及び水平走査回路で兼用しても良い。

【 0 1 7 4 】

このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置 5 2 から各画素毎に映像信号がメモリ 5 3 に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、ノイズ信号をメモリ 5 4 に出力する。そして、メモリ 5 3 内の各画素の映像信号とメモリ 5 4 内の各画素のノイズ信号を、補正演算回路 5 5 にこの映像信号を各画素毎に送出する。

【 0 1 7 5 】

補正演算回路 5 5 では、メモリ 5 3 から送出された映像信号がこの映像信号を出力した同一画素のメモリ 5 4 から送出されたノイズ信号によって各画素毎に補正演算される。このノイズ信号が補正演算された映像信号が処理部 5 6 に送出さ

れて、演算処理された後、外部に出力される。又、このような画像入力装置において、メモリ 5 3, 5 4 は、それぞれ、固体撮像装置 5 2 からライン毎に送出されるデータが記録されるラインメモリなどが用いられる。従って、メモリ 5 3, 5 4 を固体撮像装置内に組み込むことも容易である。

【0 1 7 6】

【発明の効果】

本発明によると、光電変換動作を、入射光量に応じて線形変換動作と対数変換動作の間で自動的に切り換えることができる。よって、被写体が暗く、入射光量の少ない場合は、線形変換動作を行うので、リセットした後に撮像した信号に残像が生じない。逆に、被写体が明るく、入射光量の多い場合は、対数変換動作を行うので、ダイナミックレンジの広い信号を出力することができる。又、線形変換動作から対数変換動作に切り替わる輝度を、各画素全てについてほぼ一定の輝度とすることができる。又、トランジスタに与えるパルス信号の電圧値を変化させることによって、線形変換動作から対数変換動作に切り替わる輝度を変換させることができる。更に、サンプリング回路を設けることによって、全画素同時に撮像時の出力信号のサンプリングを行うことができるので、高速で異動する被写体を撮像しても画像歪みが生じない。

【図面の簡単な説明】

【図 1】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2】 図 1 の一部を示す図。

【図 3】 本発明の第 1 の実施形態の 1 画素の構成を示す回路図。

【図 4】 本発明の第 1 の実施形態の画素の動作を示すタイミングチャート。

【図 5】 本発明の第 2 の実施形態の 1 画素の構成を示す回路図。

【図 6】 本発明の第 2 の実施形態の画素の動作を示すタイミングチャート。

【図 7】 本発明の第 3 の実施形態の 1 画素の構成を示す回路図。

【図 8】 本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 9】 本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 0】 本発明の第 5 の実施形態の画素の動作を示すタイミングチャート。

【図 1 1】 本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 1 2】 本発明の第 6 の実施形態の画素の動作を示すタイミングチャート。

【図 1 3】 本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 1 4】 本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 1 5】 本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 6】 本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 1 7】 本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 1 8】 本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 1 9】 本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 2 0】 本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 2 1】 本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 2 2】 本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 2 3】 本発明の第 9 の実施形態の 1 画素の構成を示す回路図。

【図 2 4】 本発明の第 9 の実施形態の画素の動作を示すタイミングチャート。

【図 2 5】 図 2 3 の画素の構成及びポテンシャルの関係を表した図。

【図 2 6】 本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 7】 本発明の第 1 0 の実施形態の画素の動作を示すタイミングチャート

【図 2 8】 本発明の第 1 1 の実施形態の 1 画素の構成を示す回路図。

【図 2 9】 画素内の能動素子を P チャネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 3 0】 図 2 9 の一部を示す図。

【図 3 1】 本発明の第 1 2 の実施形態の 1 画素の構成を示す回路図。

【図 3 2】 本発明の第 1 3 の実施形態の 1 画素の構成を示す回路図。

【図 3 3】 本発明の第 1 4 の実施形態の 1 画素の構成を示す回路図。

【図 3 4】 本発明の第 1 5 の実施形態の 1 画素の構成を示す回路図。

【図 3 5】 本発明の第 1 6 の実施形態の 1 画素の構成を示す回路図。

【図 3 6】 本発明の第 1 7 の実施形態の 1 画素の構成を示す回路図。

【図 3 7】 本発明の第 1 8 の実施形態の 1 画素の構成を示す回路図。

【図 3 8】 本発明の第 1 9 の実施形態の 1 画素の構成を示す回路図。

【図 3 9】 本発明の第 1 6 の実施形態の 1 画素の構成を示す回路図。

【図 4 0】 本発明の第 1 7 の実施形態の 1 画素の構成を示す回路図。

【図 4 1】 本発明の第 1 8 の実施形態の 1 画素の構成を示す回路図。

【図 4 2】 本発明の第 1 9 の実施形態の 1 画素の構成を示す回路図。

【図 4 3】 本発明の第 1 6 の実施形態の 1 画素の構成を示す回路図。

【図 4 4】 本発明の第 1 7 の実施形態の 1 画素の構成を示す回路図。

【図 4 5】 本発明の第 1 8 の実施形態の 1 画素の構成を示す回路図。

【図 4 6】 本発明の第 1 9 の実施形態の 1 画素の構成を示す回路図。

【図 4 7】 本発明の第 2 0 の実施形態の 1 画素の構成を示す回路図。

【図 4 8】 本発明の第 2 1 の実施形態の 1 画素の構成を示す回路図。

【図 4 9】 本発明の第 2 2 の実施形態の 1 画素の構成を示す回路図。

【図 5 0】 各実施形態の画素を用いた個体撮像装置を備えた画像入力装置の内部構造を示すブロック図。

【符号の説明】

G11～Gmn 画素

2 垂直走査回路

3 水平走査回路

4-1～4-n ライン

5 電源ライン

6-1～6-m 出力信号線

7 直流電圧線

8 ライン

9 信号線

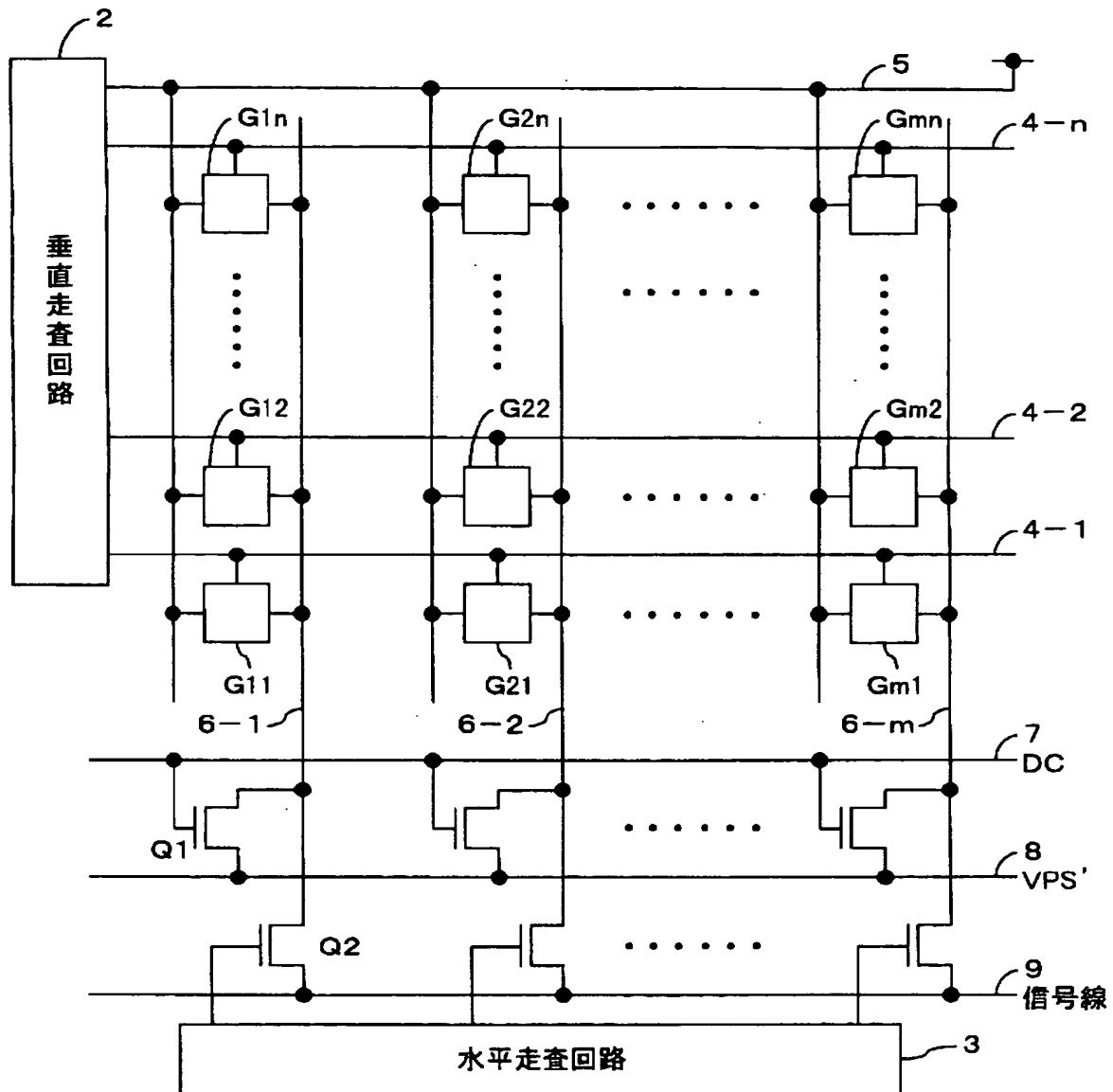
PD フォトダイオード

C1, C2 キャパシタ

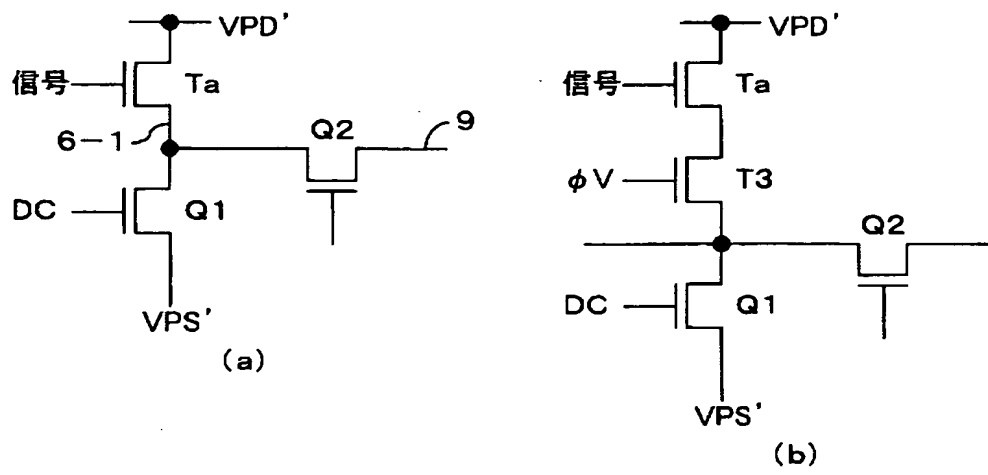
T1～T10, Q1, Q2 MOSトランジスタ

【書類名】 図面

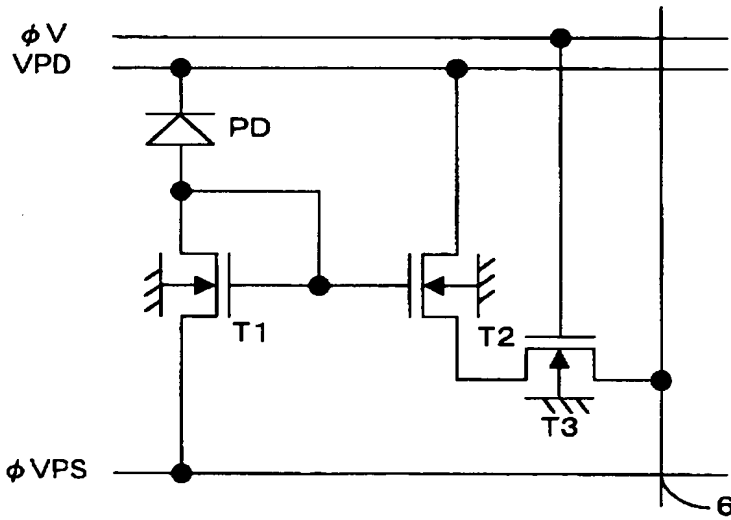
【図 1】



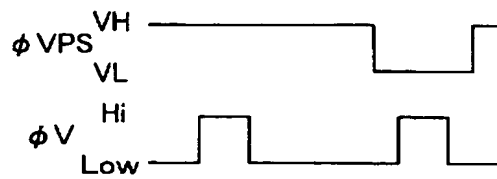
【図 2】



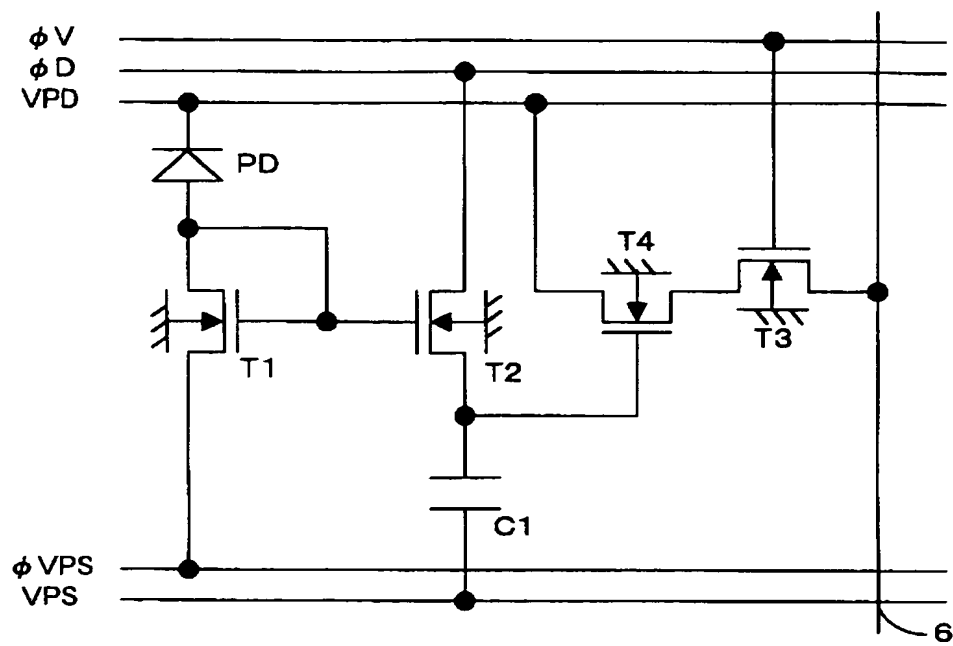
【図 3】



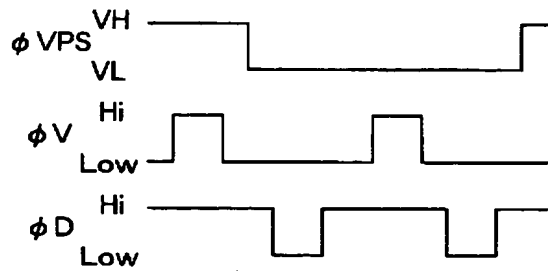
【図 4】



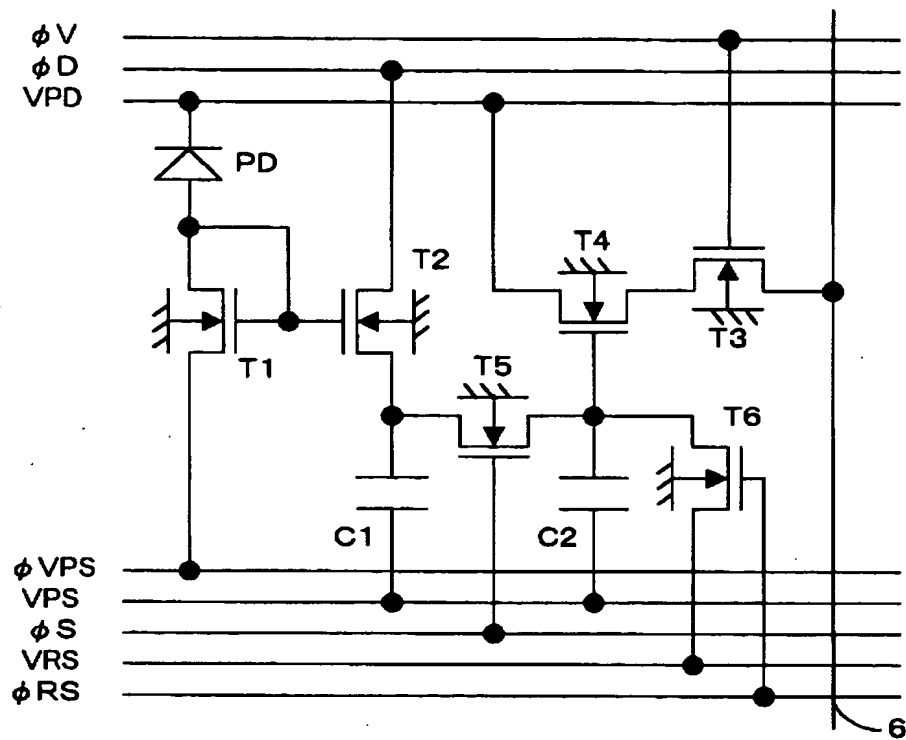
【図 5】



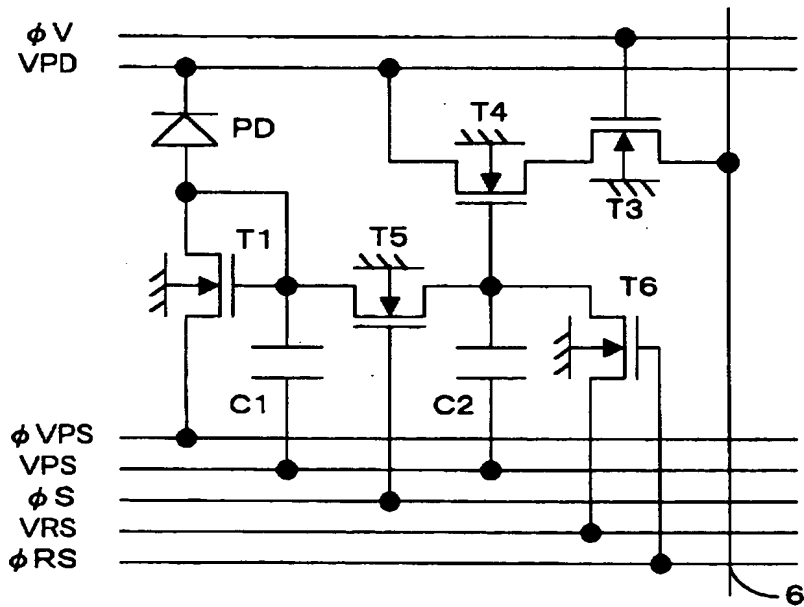
【図 6】



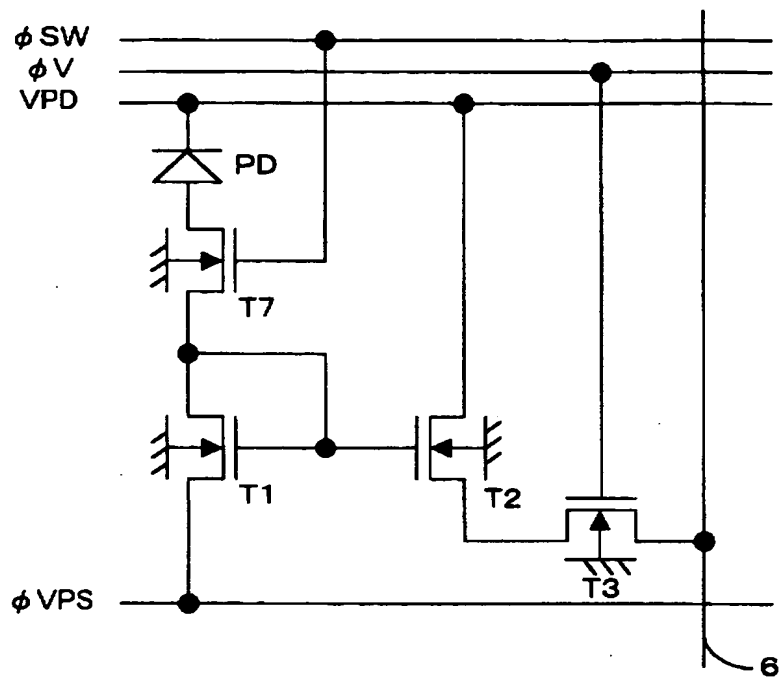
【図 7】



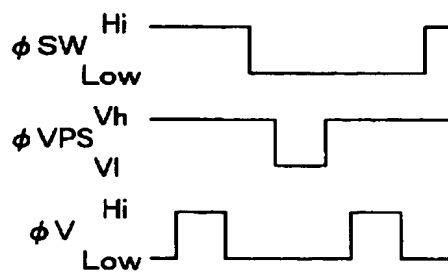
【図 8】



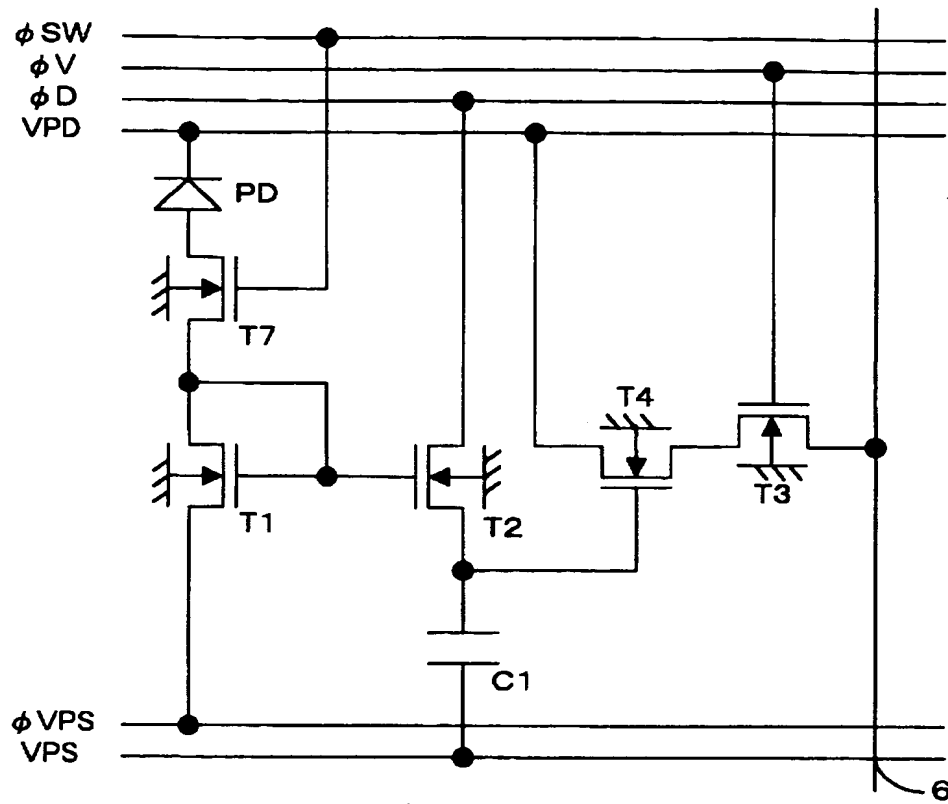
【図 9】



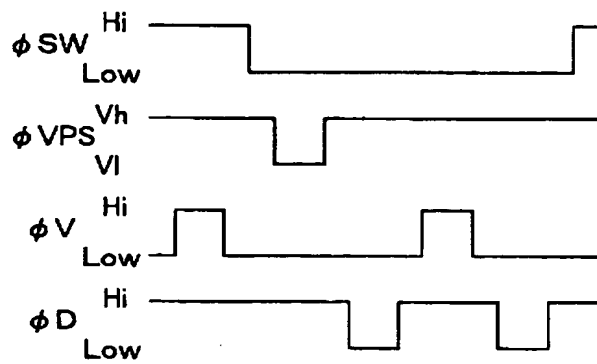
【図 10】



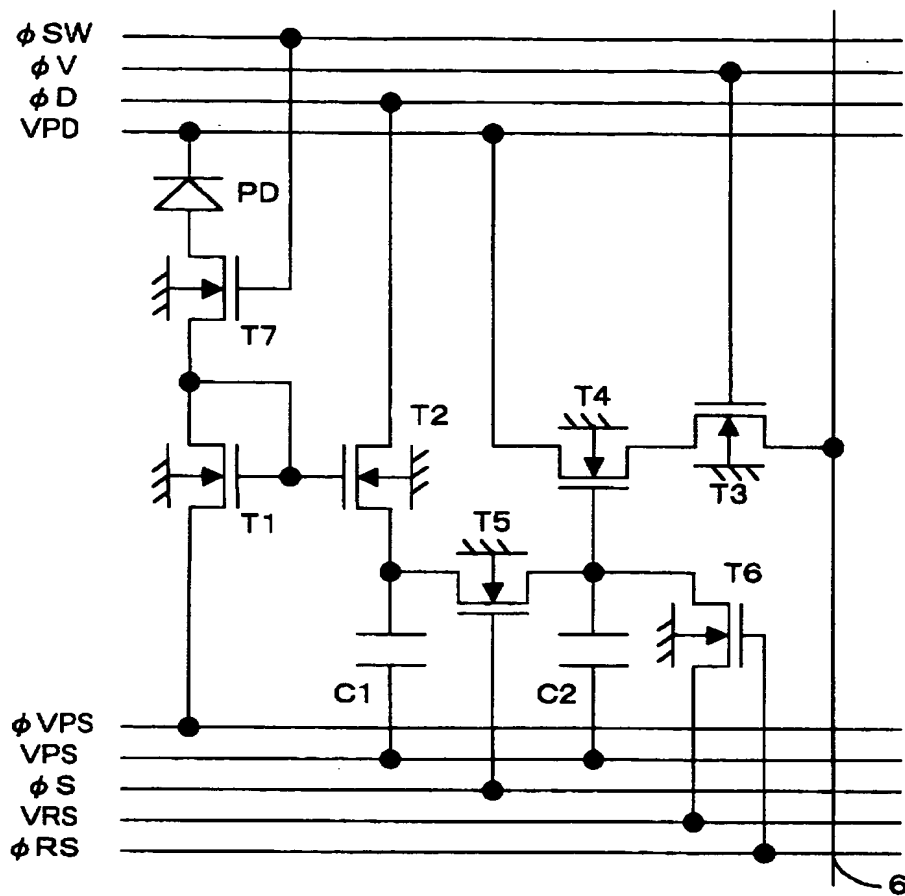
【図 1 1】



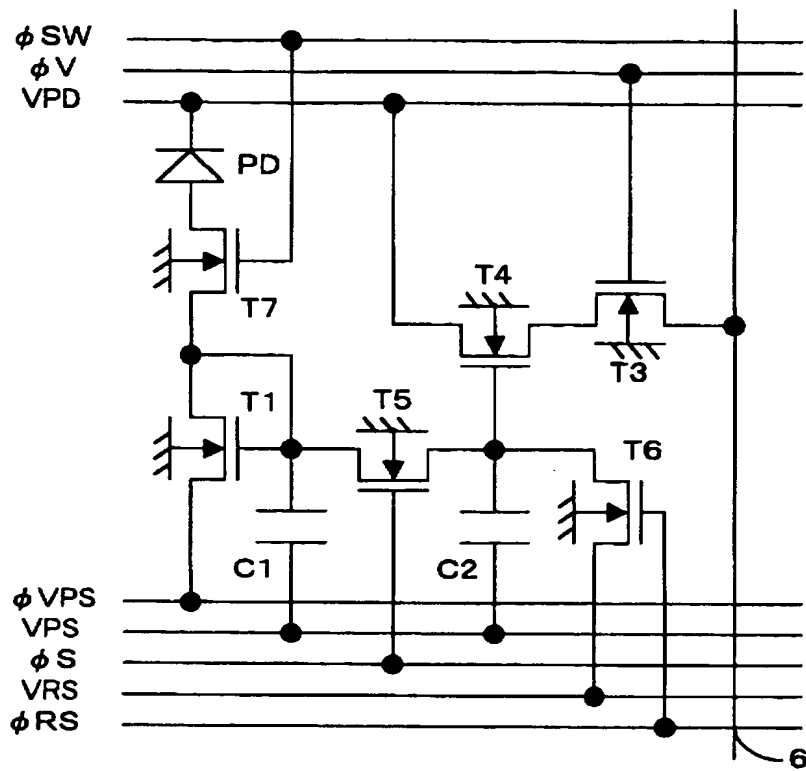
【図 1 2】



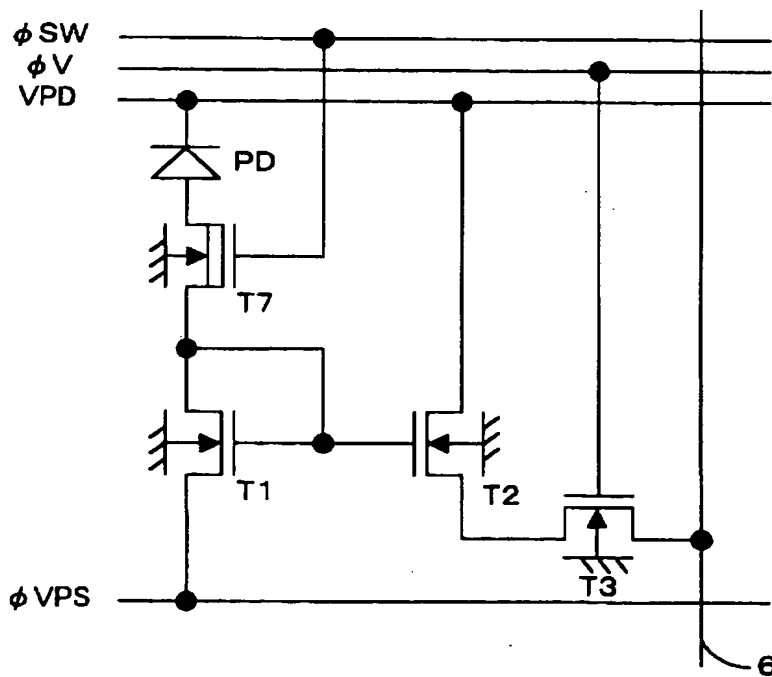
【図 13】



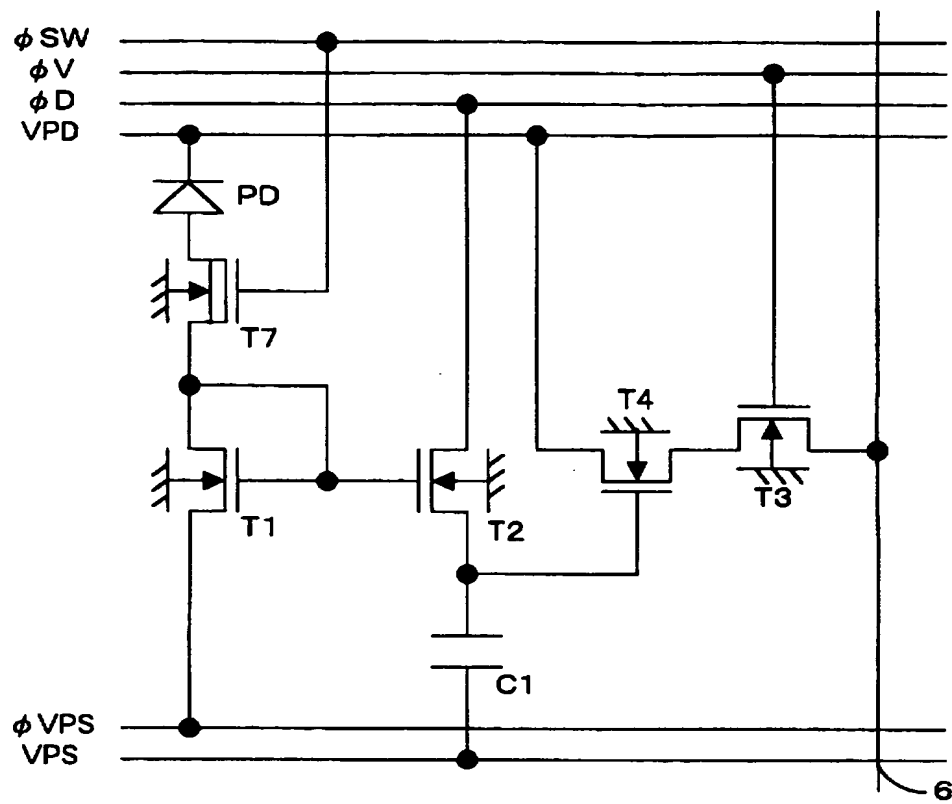
【図 14】



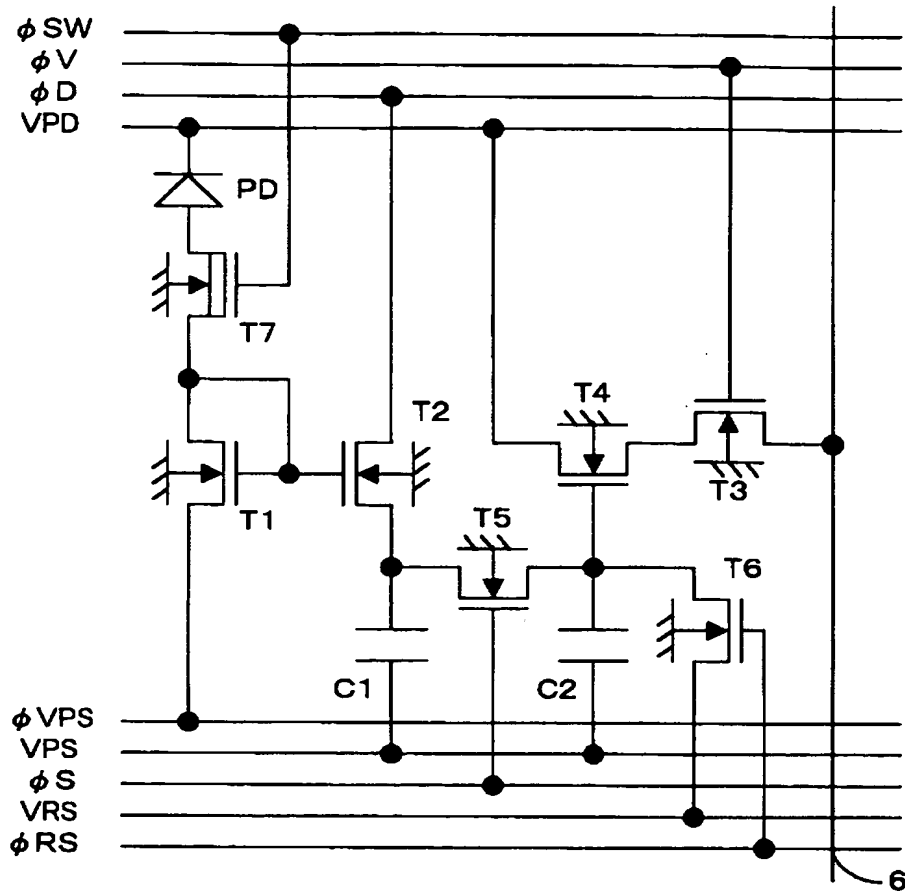
【図 15】



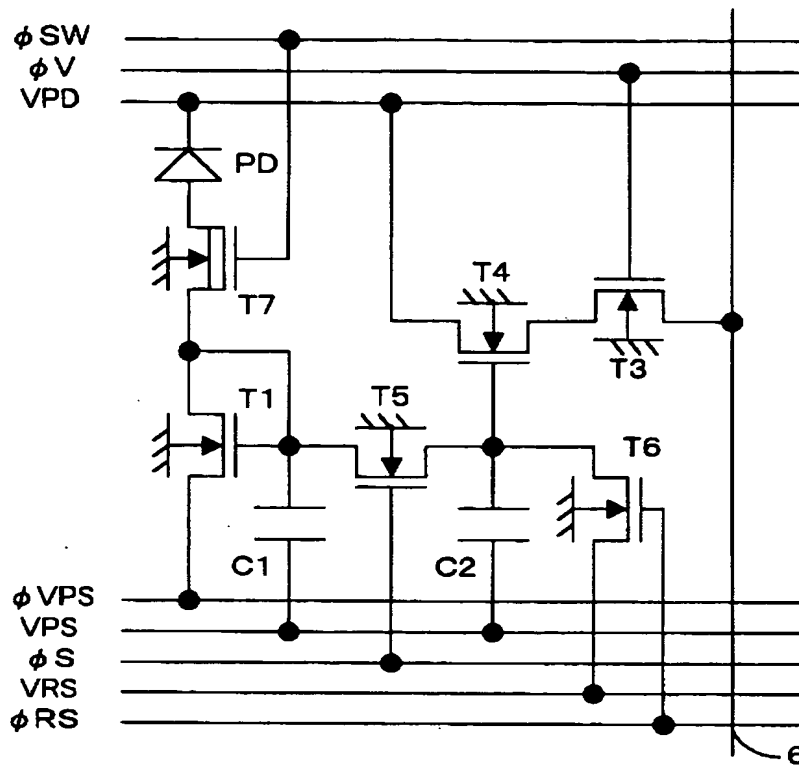
【図 1 6】



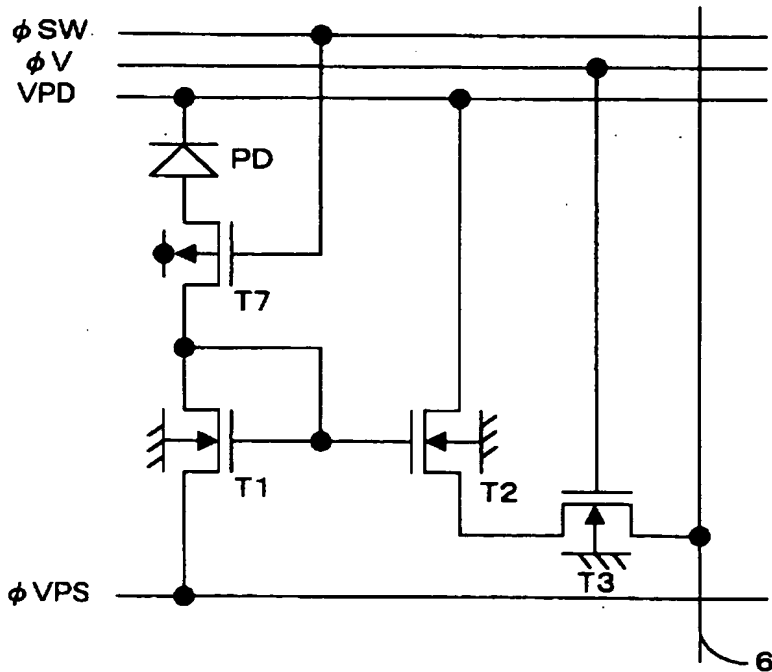
【図 17】



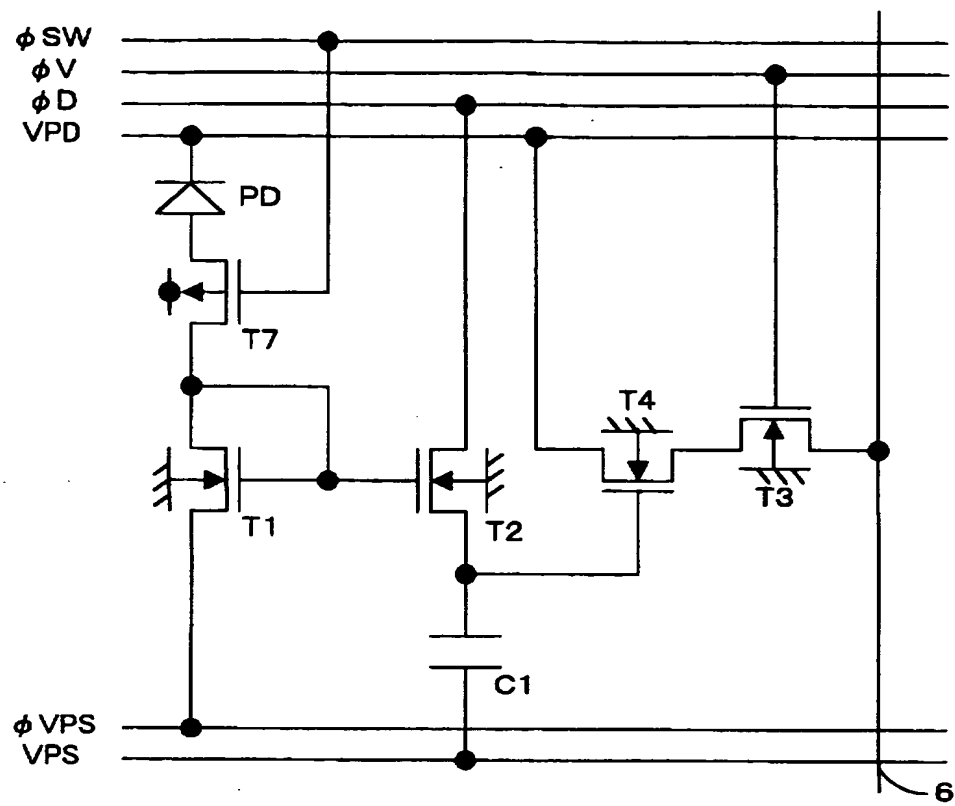
【図 18】



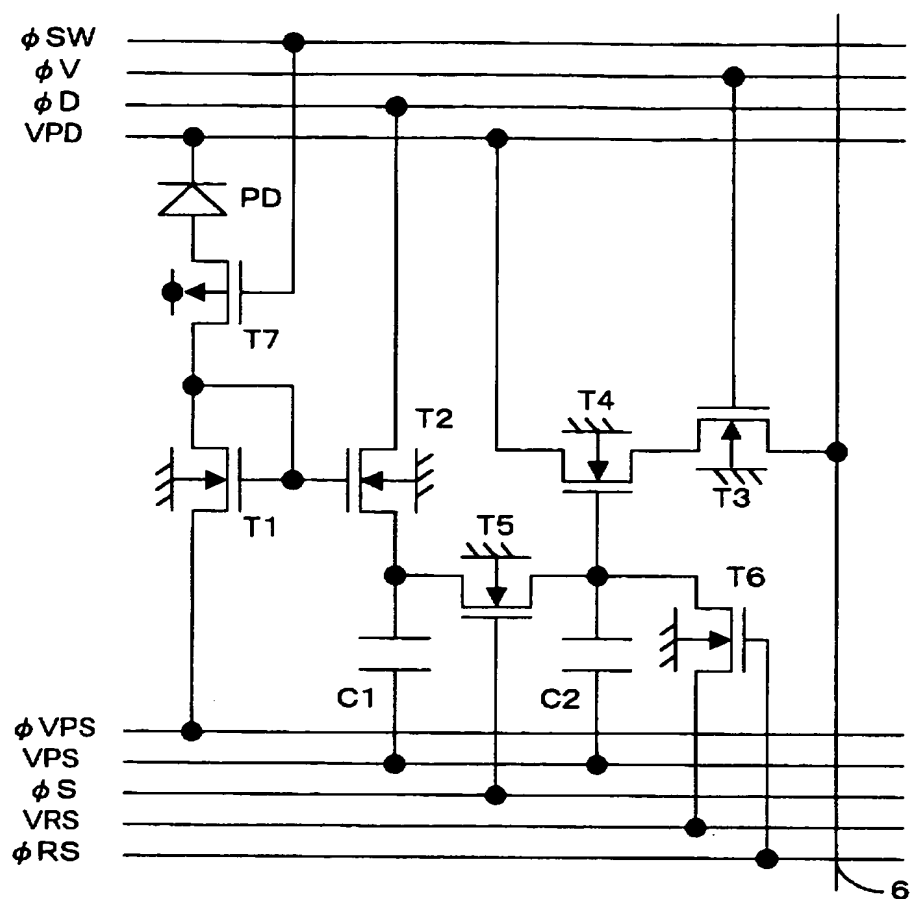
【図 19】



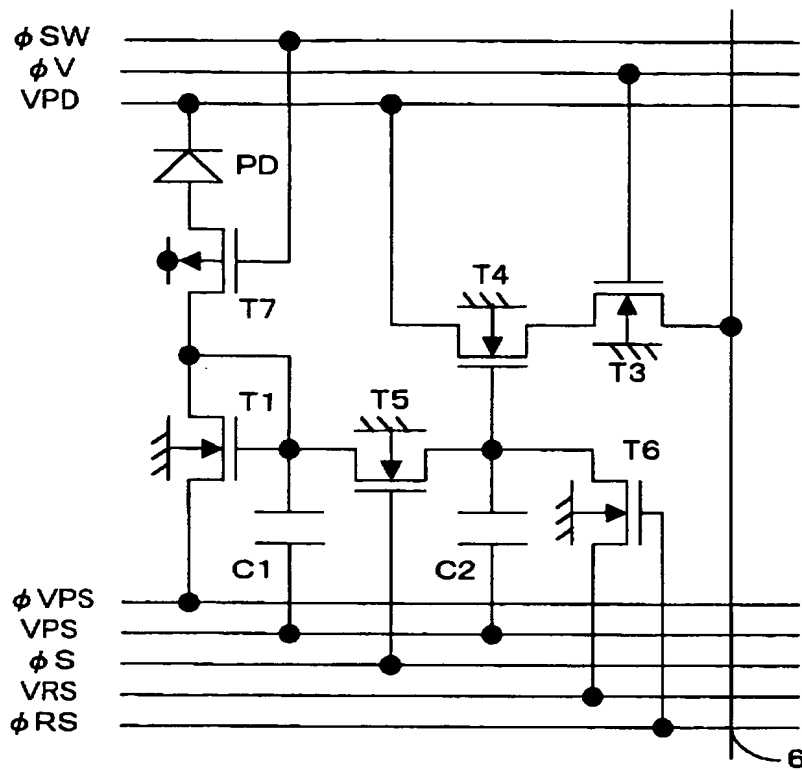
【図 2 0】



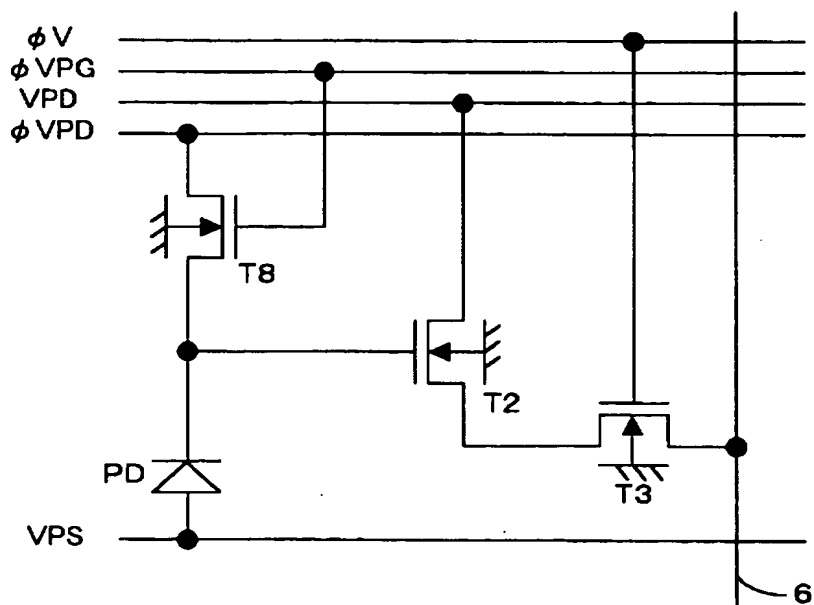
【図 21】



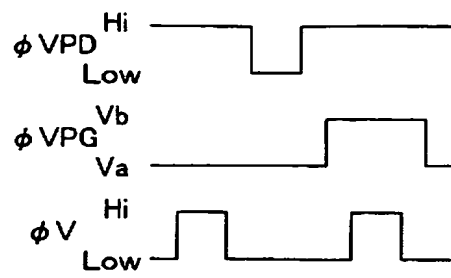
【図 2 2】



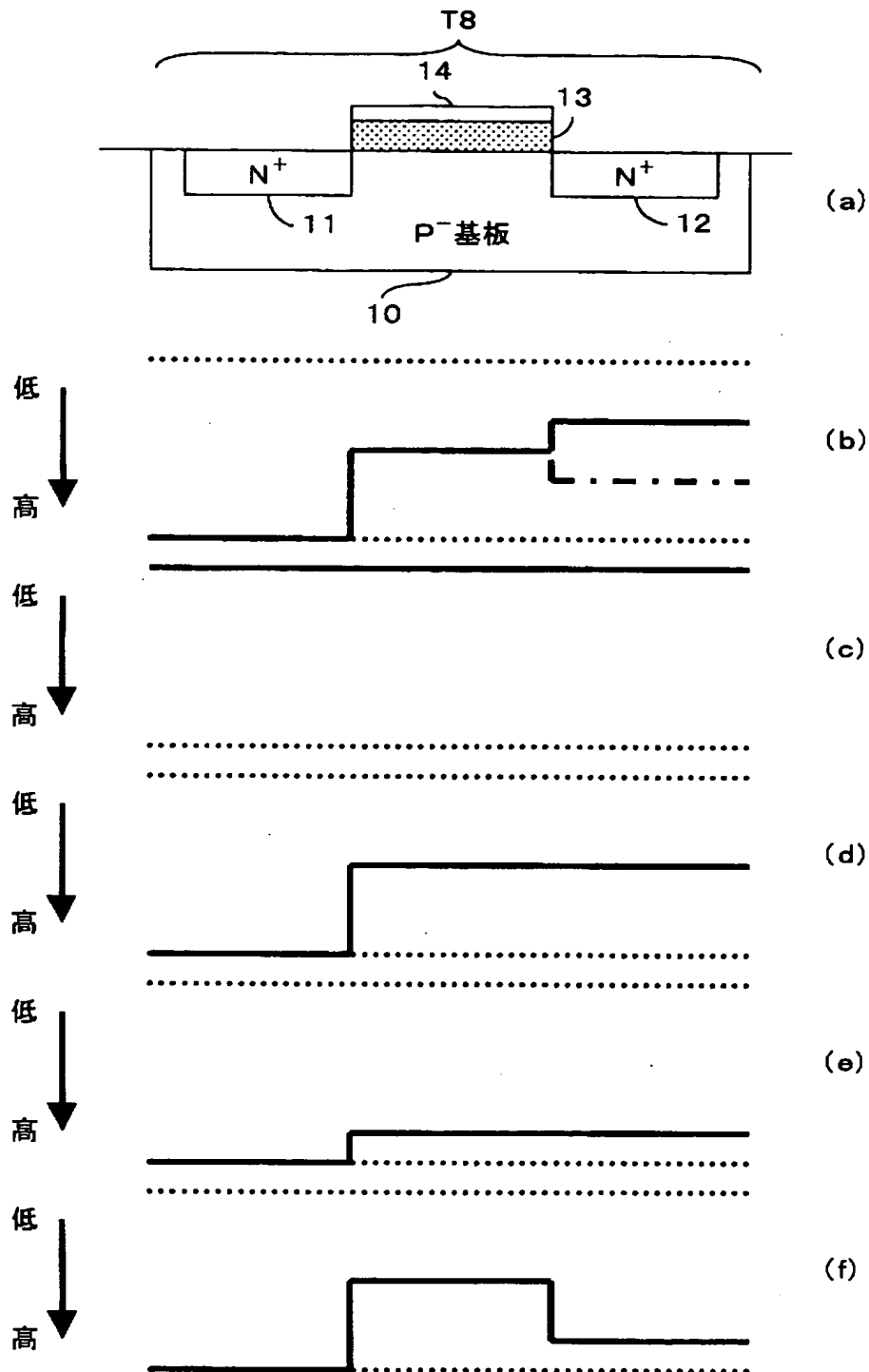
【図 2 3】



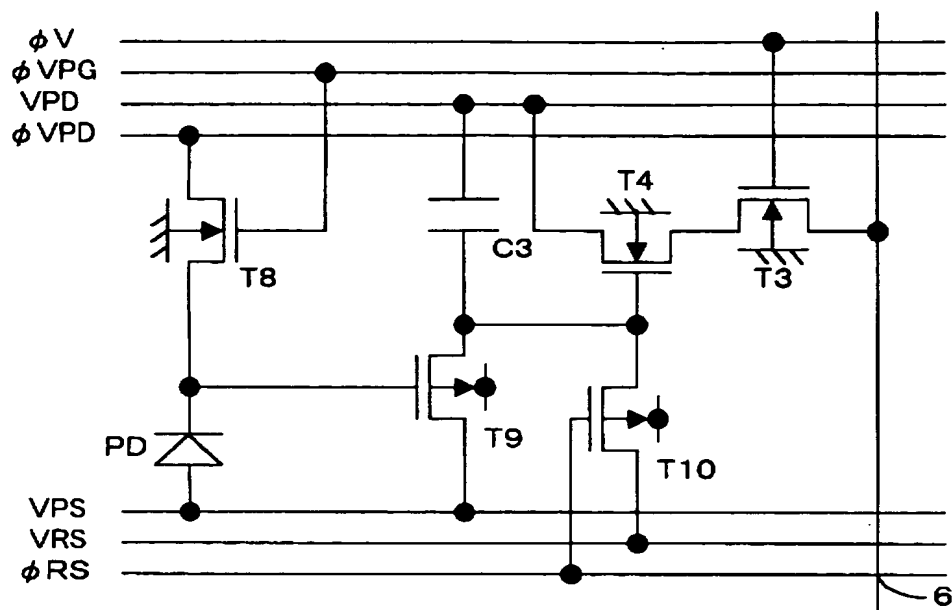
【図 2 4】



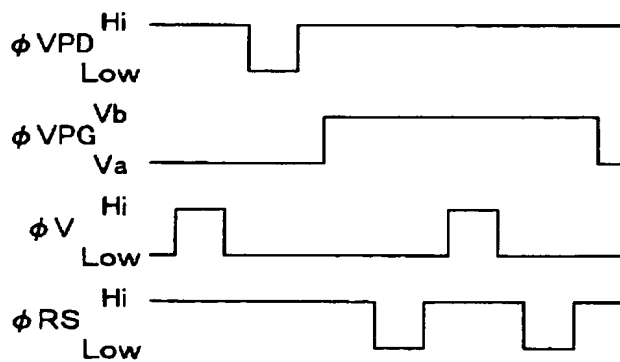
【図 25】



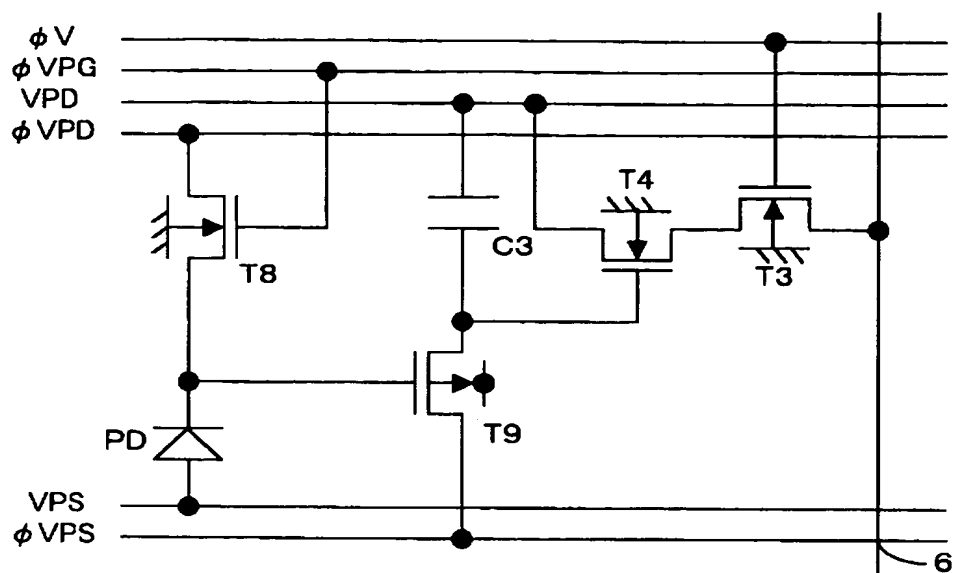
【図 26】



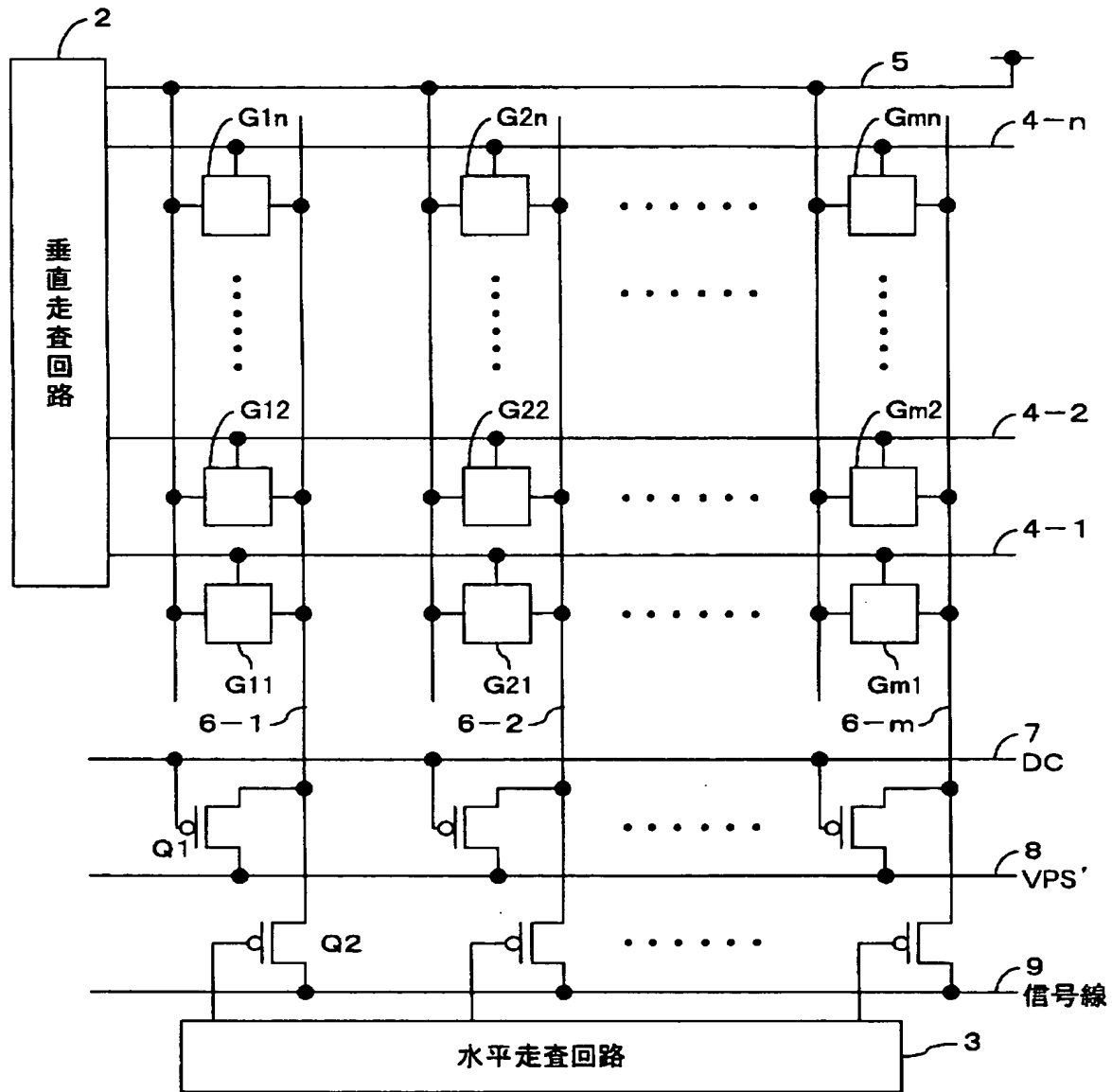
【図 27】



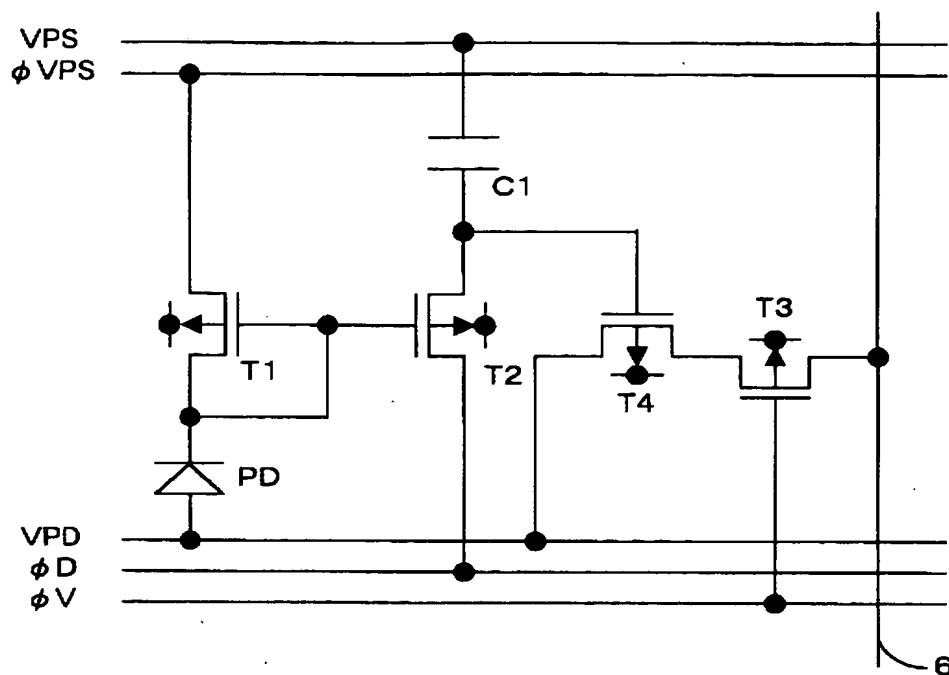
【図 2 8】



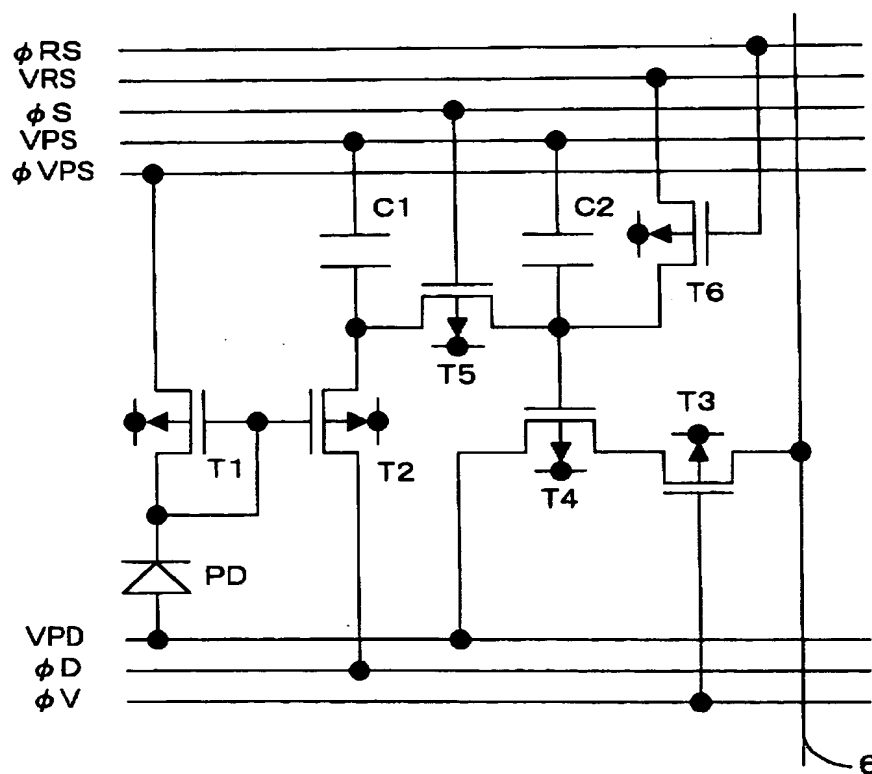
【図 29】



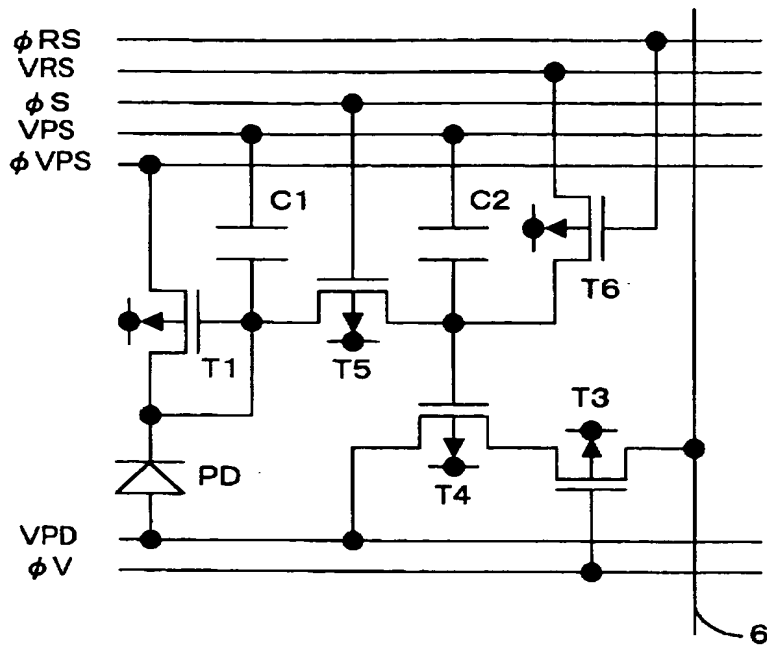
【図32】



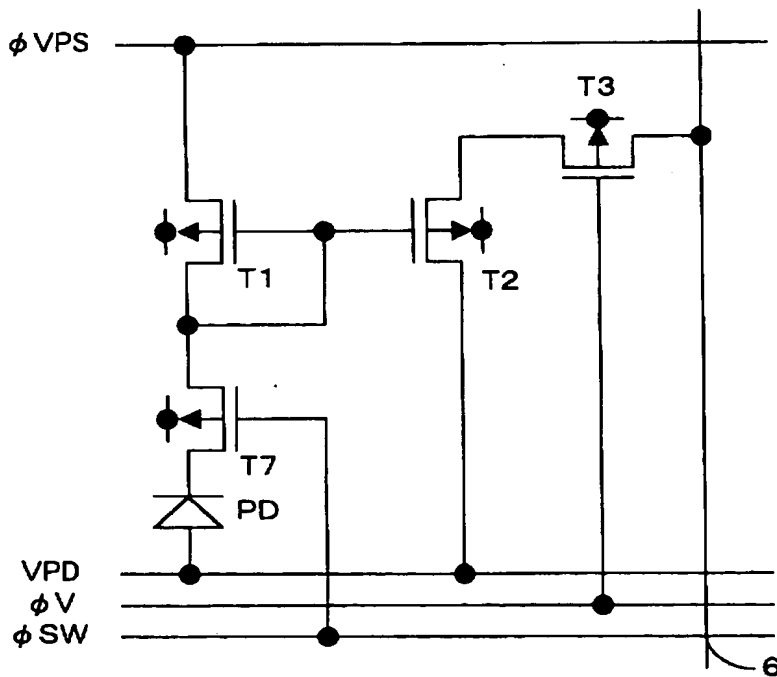
【図33】



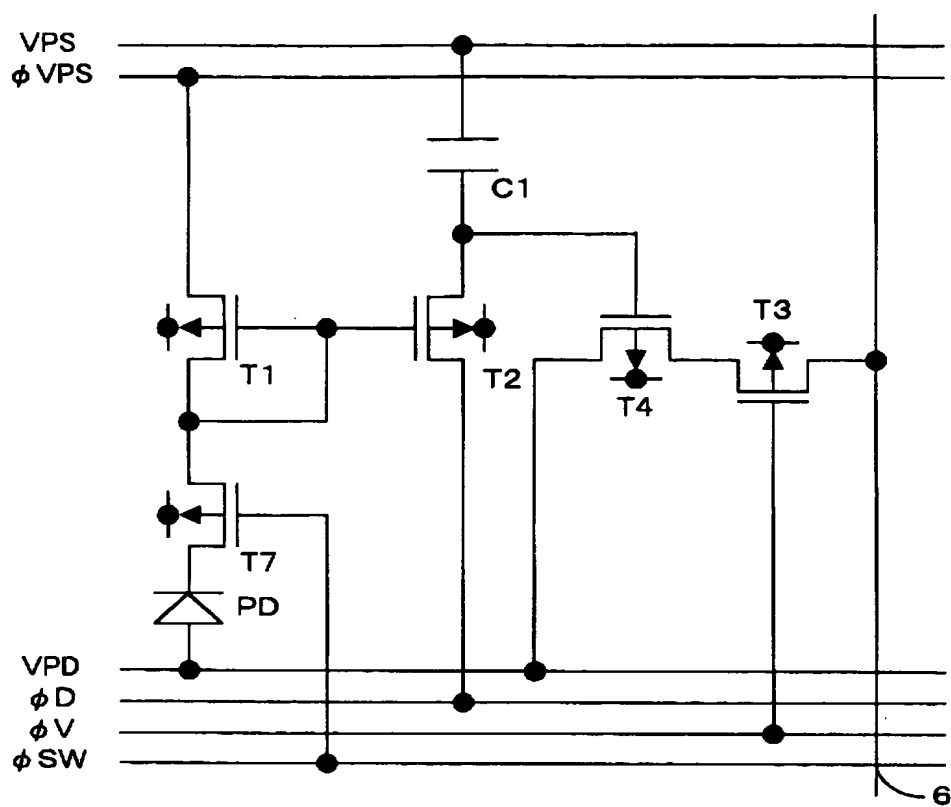
【図 3 4】



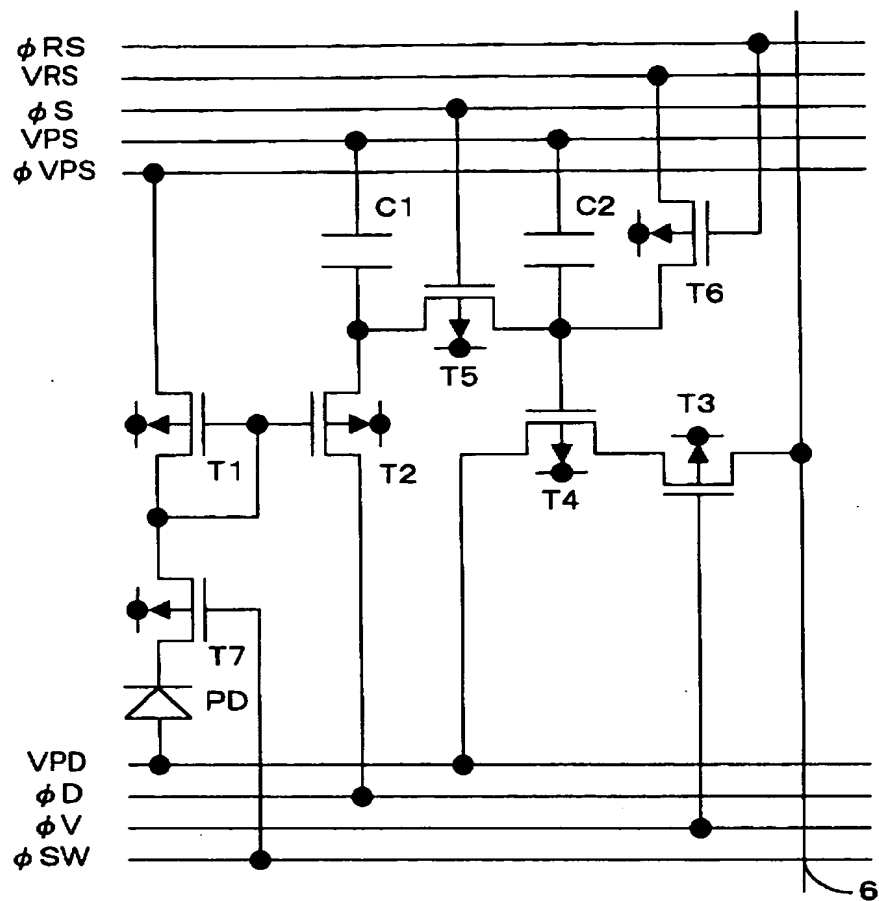
【図 3 5】



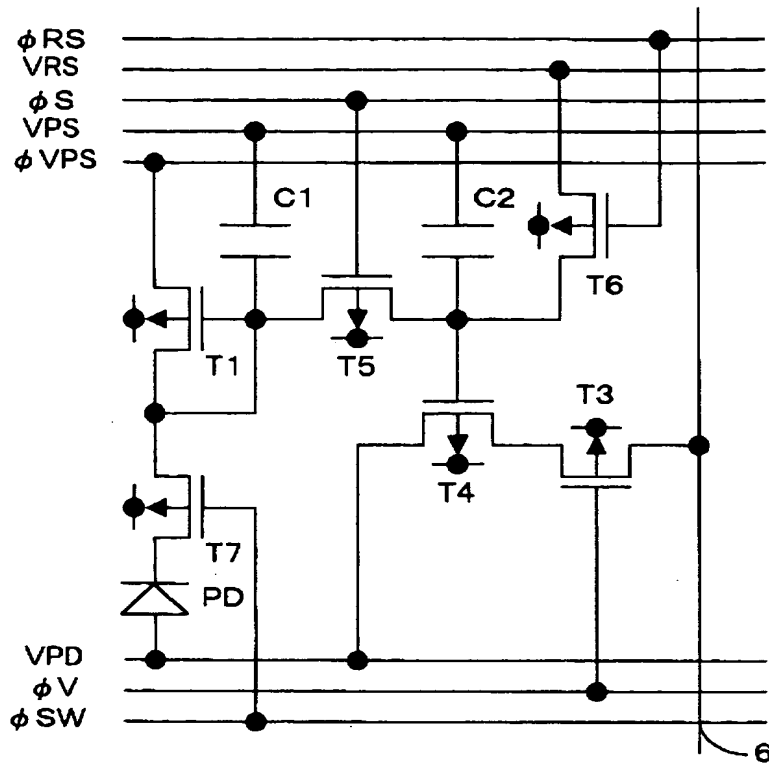
【図 3 6】



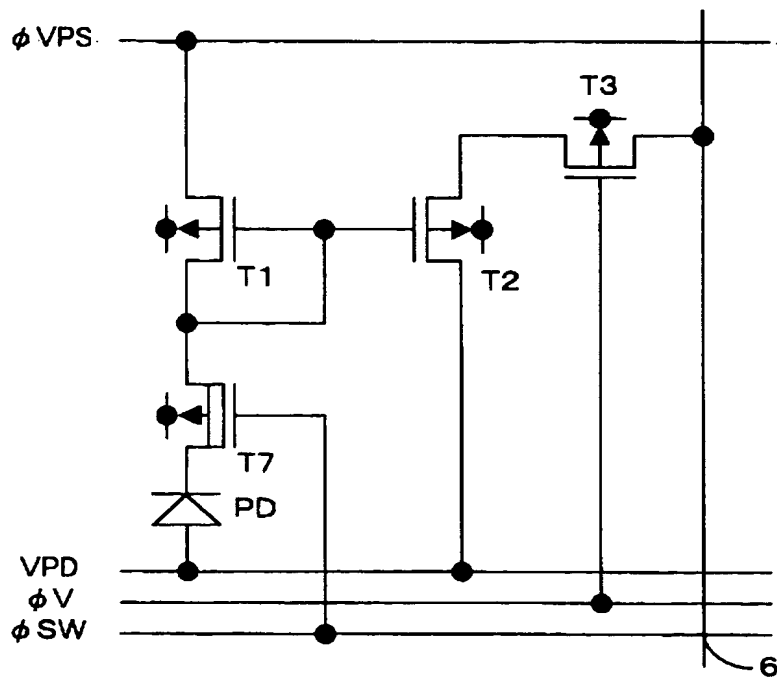
【図 37】



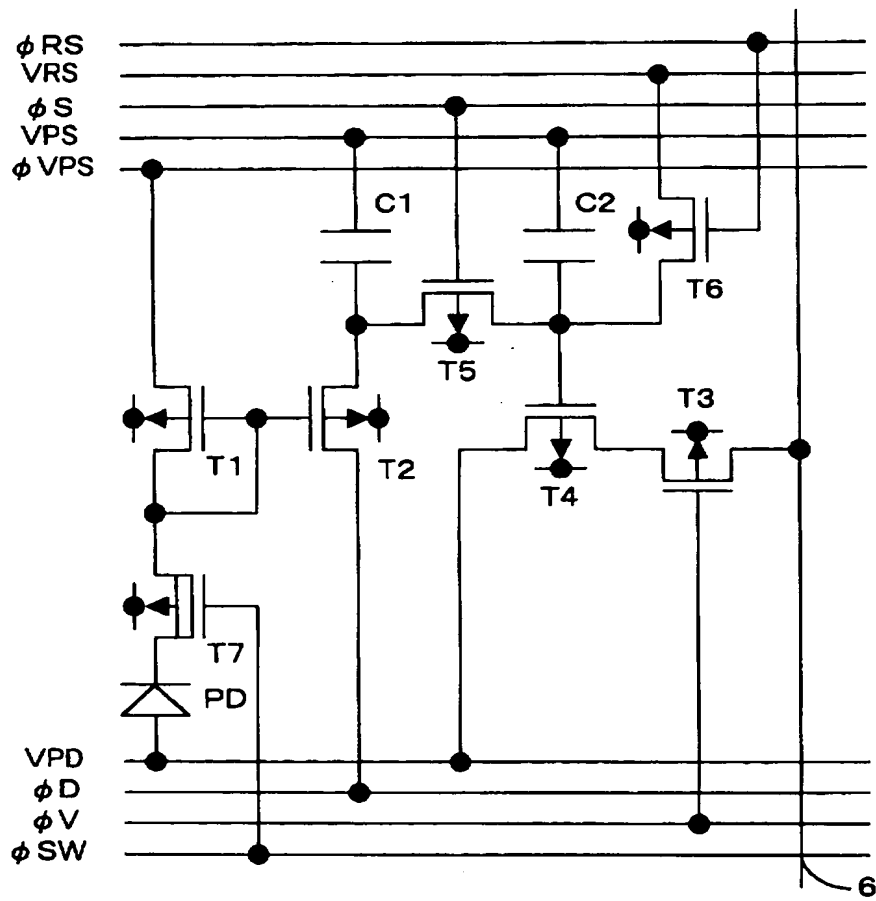
【図 38】



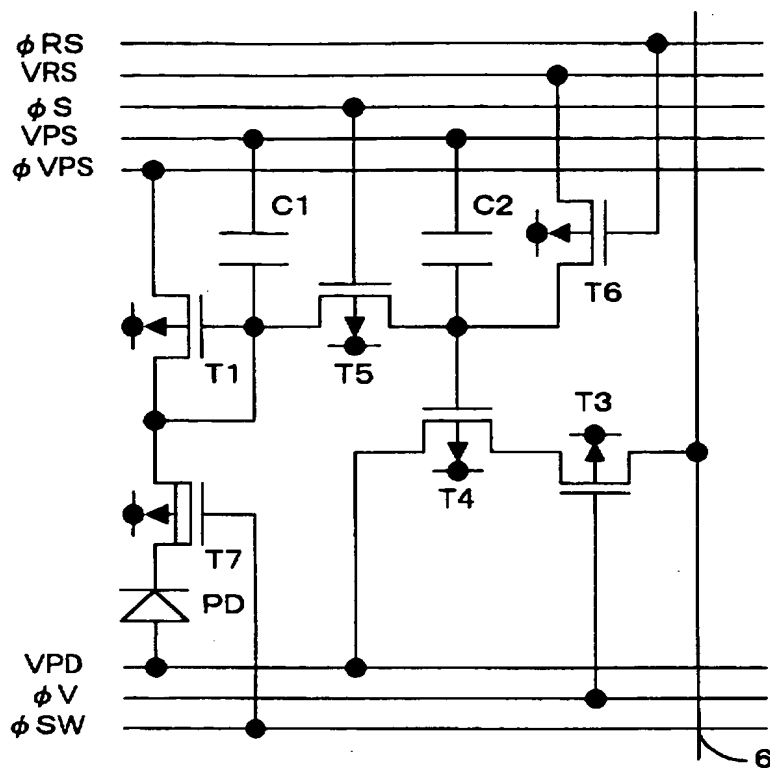
【図 39】



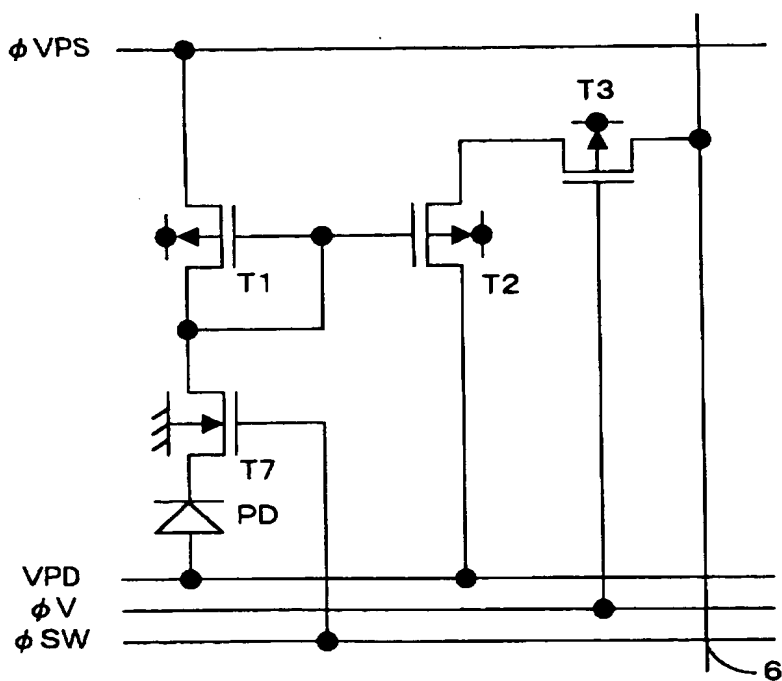
【図 4 1】



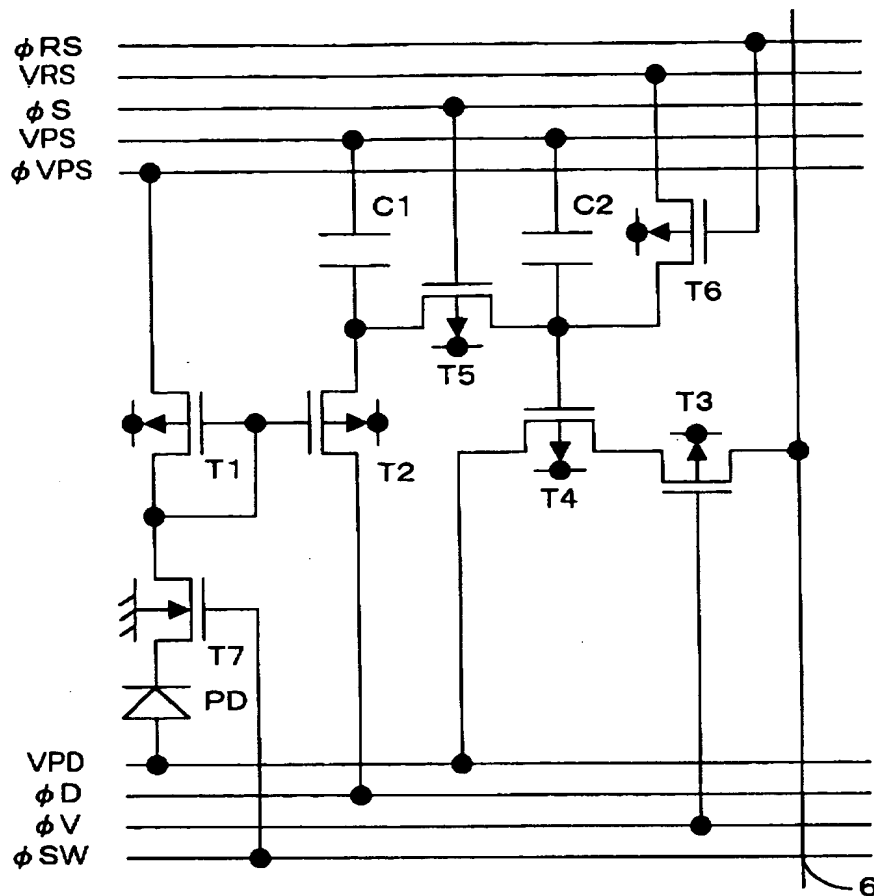
【図 4 2】



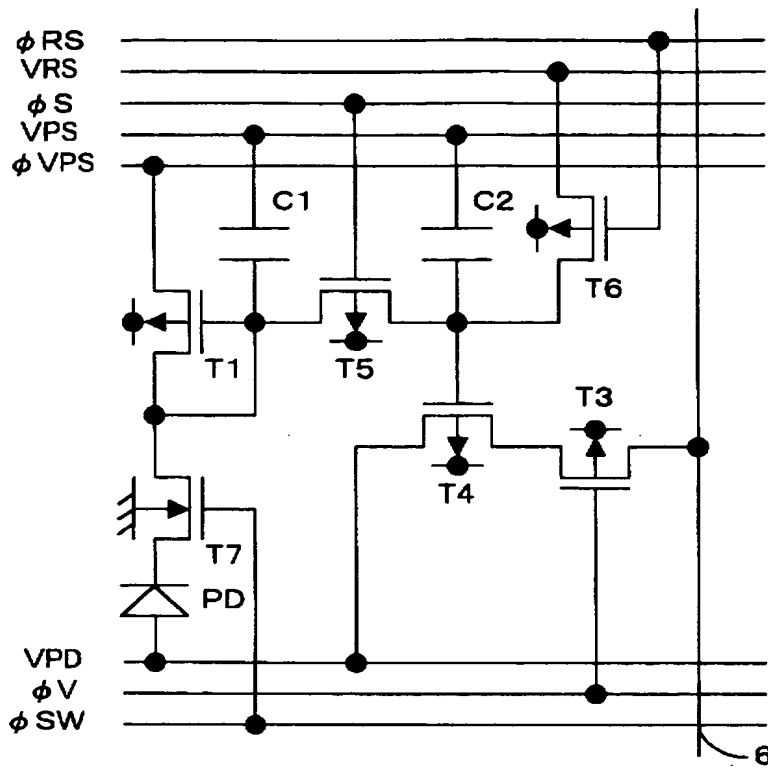
【図 4 3】



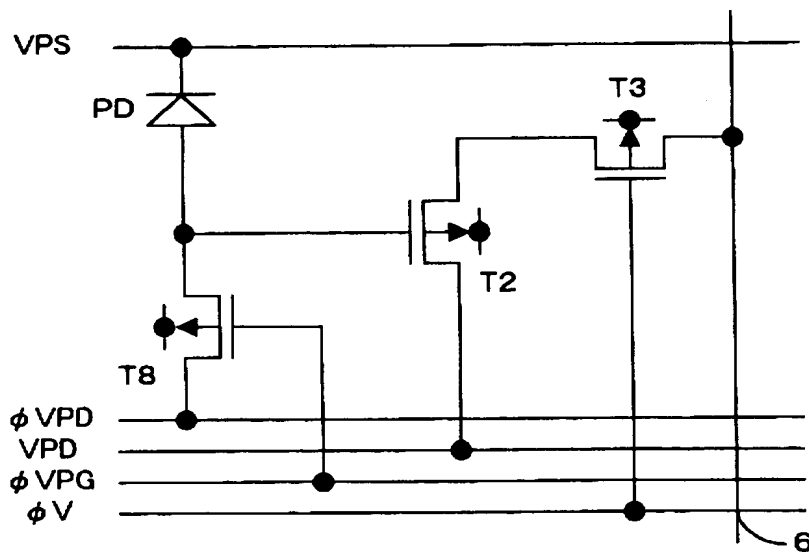
【図 45】



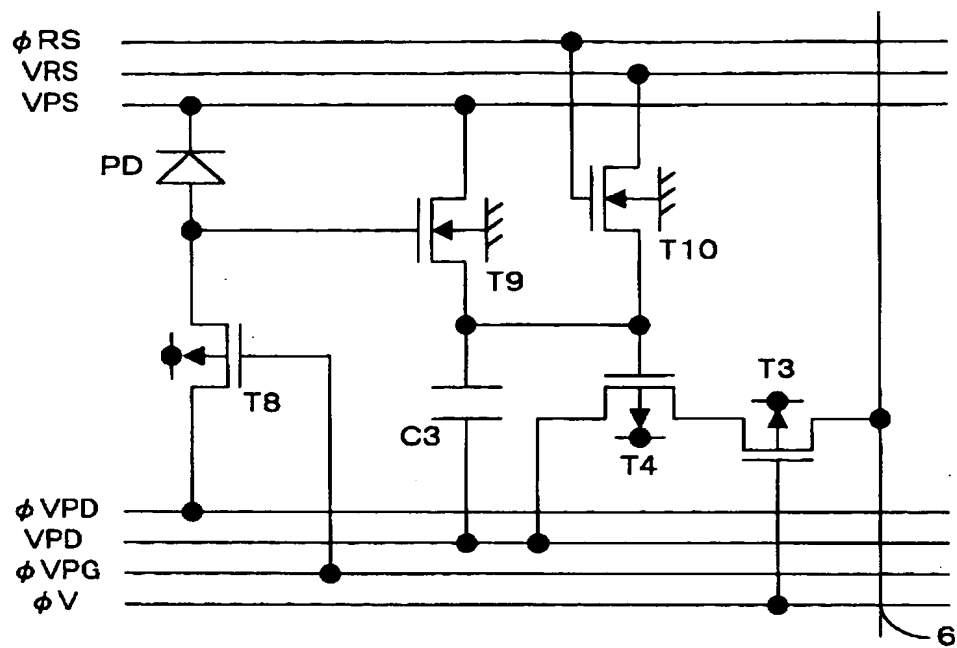
【図 4 6】



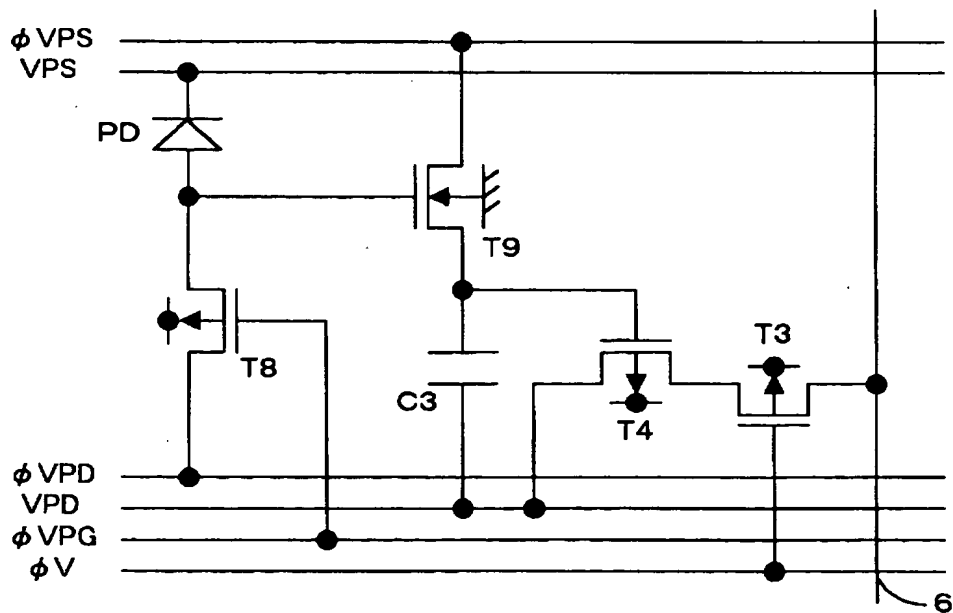
【図 4 7】



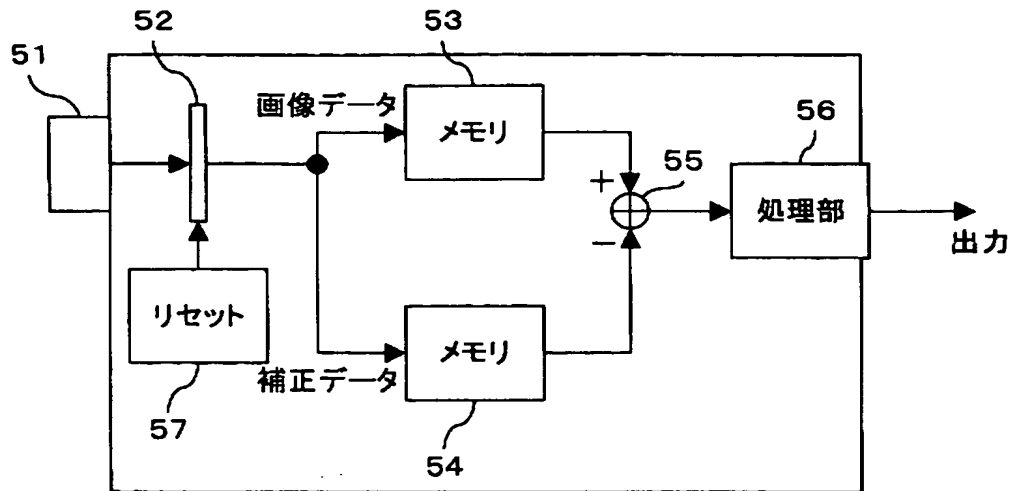
【図 4 8】



【図 4 9】



【図50】



【書類名】 要約書

【要約】

【課題】 本発明は、バイアス電圧を切り換えることなく、光電変換部に入射される入射光量に応じて、自動的に対数変換動作及び線形変換動作を切り換えることができる固体撮像装置を提供することを目的とする。

【解決手段】 信号 ϕ VPS に、撮像時に MOS トランジスタ T 1 のソースに与える電圧 V_H より低い電圧 V_L となるパルス信号を与えることによって、撮像開始時における MOS トランジスタ T 1 のゲート電圧をソース電圧より低い電圧とする。よって、撮像時において、被写体が所定の輝度値を超えるまでは、MOS トランジスタ T 1 がカットオフ状態となるので、線形変換された電気信号が出力され、又、被写体が所定の輝度値を超えたとき、MOS トランジスタ T 1 がサブスレッショルド領域で動作するので、対数変換された電気信号が出力される。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日 1994年 7月20日

[変更理由] 名称変更

住 所 大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名 ミノルタ株式会社